

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2005 EPO. All rts. reserv.

17525861

Basic Patent (No,Kind,Date): US 20020008689 AA 20020124 <No. of Patents:
005>

LEVEL SHIFTER (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB (US)

Author (Inventor): KOYAMA JUN (JP); AZAMI MUNEHIO (JP); SHIONOIRI YUTAKA
(JP); ATSUMI TOMOAKI (JP)

National Class: *345100000;

IPC: *G09G-003/36;

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 2002118458	A2	20020419	JP 2001187689	A	20010621	
US 20020008689	AA	20020124	US 891560	A	20010626	(BASIC)
US 20040201410	AA	20041014	US 833862	A	20040428	
US 6731273	BB	20040504	US 891560	A	20010626	
TW 518642	B	20030121	TW 90115661	A	20010626	

Priority Data (No,Kind,Date):

JP 2001187689 A 20010621

JP 2000193498 A 20000627

US 833862 A 20040428

US 891560 A1 20010626

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

07250000 **Image available**

LEVEL SHIFTER

PUB. NO.: 2002-118458 [JP 2002118458 A]

PUBLISHED: April 19, 2002 (20020419)

INVENTOR(s): KOYAMA JUN

ASAMI MUNEHIRO

SHIONOIRI YUTAKA

ATAMI TOMOAKI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2001-187689 [JP 2001187689]

FILED: June 21, 2001 (20010621)

PRIORITY: 2000-193498 [JP 2000193498], JP (Japan), June 27, 2000
(20000627)

INTL CLASS: H03K-019/0185; G09G-003/20; H01L-021/28; H01L-021/3065;
H01L-021/8238; H01L-027/08; H01L-027/092; H01L-029/786

ABSTRACT

PROBLEM TO BE SOLVED: To provide a level shifter having sufficient amplitude converting capabilities even when the voltage amplitude of an input signal is small corresponding to the low driving voltage integration of a driving circuit.

SOLUTION: A level shifter using a current mirror 150 and a differential circuit 160 is used for the converting part of the voltage amplitude of a signal. The potential difference of signals inputted through transistors 105 and 106 to a differential circuit 160 is amplitude and outputted so that even when the voltage amplitude of an input signal is small, normal voltage amplitude conversion can be performed without being affected by the influence of the threshold of the transistor.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-118458

(P 2 0 0 2 - 1 1 8 4 5 8 A)

(43) 公開日 平成14年4月19日 (2002.4.19)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)	
H03K 19/0185		G09G 3/20	621	L 4M104
G09G 3/20	621		680	C 5C080
	680		680	T 5F004
			680	V 5F048
		H01L 21/28		F 5F110

審査請求 未請求 請求項の数18 ○ L (全26頁) 最終頁に続く

(21) 出願番号 特願2001-187689 (P 2001-187689)

(22) 出願日 平成13年6月21日 (2001.6.21)

(31) 優先権主張番号 特願2000-193498 (P 2000-193498)

(32) 優先日 平成12年6月27日 (2000.6.27)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 小山 潤
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 浅見 宗広
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 塩野入 豊
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

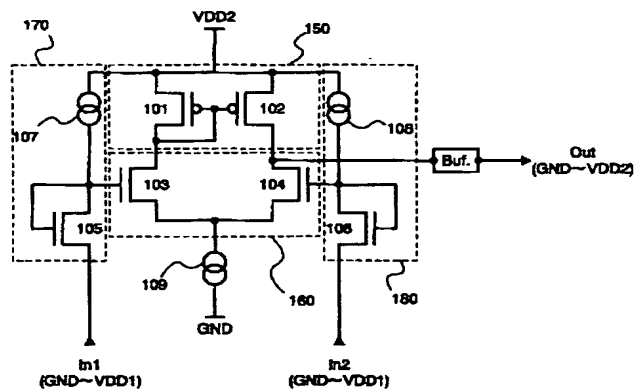
最終頁に続く

(54) 【発明の名称】 レベルシフタ

(57) 【要約】

【課題】 駆動回路の低駆動電圧化に対応し、入力信号の電圧振幅が小さい場合にも十分な振幅変換能力を有するレベルシフタを提供する。

【解決手段】 信号の電圧振幅の変換部分に、カレントミラー回路150および差動回路160を利用したレベルシフタを用いる。トランジスタ105、106を介して差動回路160に入力された信号の電位差を増幅して出力するため、入力信号の電圧振幅が小さい場合にも、トランジスタのしきい値の影響を受けることなく、正常な電圧振幅の変換を可能とする。



150 : カレントミラー回路
160 : 差動回路
170 : 第1のソースフォロア回路
180 : 第2のソースフォロア回路

【特許請求の範囲】

【請求項 1】カレントミラー回路と、

前記カレントミラー回路を負荷とする差動回路と、

前記差動回路に電流を供給する電流源と、

第 1 のソースフォロア回路と、第 2 のソースフォロア回路とを有するレベルシフトであって、

第 1 の入力信号が、前記第 1 のソースフォロア回路に入力され、前記第 1 のソースフォロア回路からの第 1 の出力信号が、前記差動回路に入力され、第 2 の入力信号が、前記第 2 のソースフォロア回路に入力され、前記第 2 のソースフォロア回路からの第 2 の出力信号が、前記差動回路に入力されることを特徴とするレベルシフト。

【請求項 2】カレントミラー回路と、

前記カレントミラー回路を負荷とする差動回路と、

前記差動回路に電流を供給する第 1 の電流源と、

ゲート電極とドレイン領域とを電氣的に接続した、第 1 および第 2 のトランジスタと、

前記第 1 および第 2 のトランジスタに電流を供給する第 2 および第 3 の電流源とを有するレベルシフトであって、

第 1 の入力信号が、前記第 1 のトランジスタのソース領域に入力され、前記第 1 のトランジスタからの第 1 の出力信号が、前記差動回路に入力され、第 2 の入力信号が、前記第 2 のトランジスタのソース領域に入力され、前記第 2 のトランジスタからの第 2 の出力信号が、前記差動回路に入力されることを特徴とするレベルシフト。

【請求項 3】カレントミラー回路と、

前記カレントミラー回路を負荷とする差動回路と、

前記差動回路に電流を供給する第 1 の電流源と、

ゲート電極とドレイン領域とを電氣的に接続した、第 1 および第 2 のトランジスタと、

前記第 1 および第 2 のトランジスタに電流を供給する第 2 および第 3 の電流源とを有するレベルシフトであって、

前記差動回路は、第 3 のトランジスタと第 4 のトランジスタとを有し、

前記第 1 のトランジスタのドレイン領域と、前記第 3 のトランジスタのゲート電極とが電氣的に接続され、

前記第 2 のトランジスタのドレイン領域と、前記第 4 のトランジスタのゲート電極とが電氣的に接続され、

第 1 の入力信号が、前記第 1 のトランジスタのソース領域に入力され、前記第 1 のトランジスタからの第 1 の出力信号が、前記第 3 のトランジスタのゲート電極に入力され、第 2 の入力信号が、前記第 2 のトランジスタのソース領域に入力され、前記第 2 のトランジスタからの第 2 の出力信号が、前記第 4 のトランジスタのゲート電極に入力されることを特徴とするレベルシフト。

【請求項 4】ゲート電極とドレイン領域とを電氣的に接続した、第 1 導電形式の第 1 のトランジスタと、

ゲート電極とドレイン領域とを電氣的に接続した、第 1

導電形式の第 2 のトランジスタと、

第 1 導電形式の第 3 のトランジスタと、第 1 導電形式の第 4 のトランジスタとを有する差動回路と、

第 2 導電形式であって、ゲート電極とドレイン領域とを接続した第 5 のトランジスタと、第 2 導電形式の第 6 のトランジスタとを有するカレントミラー回路と、

前記差動回路と第 1 の電流源とを電氣的に接続する、第 1 導電形式の第 7 のトランジスタと、

前記第 5 のトランジスタと第 2 の電流源とを電氣的に接続する、第 2 導電形式の第 8 のトランジスタと、

前記第 6 のトランジスタと第 3 の電流源とを電氣的に接続する、第 2 導電形式の第 9 のトランジスタと、

前記第 7、第 8 および第 9 のトランジスタのゲート電極に電位を供給する電源部とを有するレベルシフトであって、

第 1 の入力信号が、前記第 1 のトランジスタのソース領域に入力され、前記第 1 のトランジスタからの第 1 の出力信号が、前記第 3 のトランジスタのゲート電極に入力され、第 2 の入力信号が、前記第 2 のトランジスタのソース領域に入力され、前記第 2 のトランジスタからの第 2 の出力信号が、前記第 4 のトランジスタのゲート電極に入力されることを特徴とするレベルシフト。

【請求項 5】第 1 のカレントミラー回路と、第 2 のカレントミラー回路と、

前記第 1 および第 2 のカレントミラー回路に電氣的に接続された差動回路と、

前記差動回路に電流を供給する第 1 の電流源と、

ゲート電極とドレイン領域とを接続した、第 1 および第 2 のトランジスタと、

前記第 1 および第 2 のトランジスタに電流を供給する第 2 および第 3 の電流源とを有するレベルシフトであって、

第 1 の入力信号が、前記第 1 のトランジスタのソース領域に入力され、前記第 1 のトランジスタからの第 1 の出力信号が、前記差動回路に入力され、第 2 の入力信号が、前記第 2 のトランジスタのソース領域に入力され、前記第 2 のトランジスタからの第 2 の出力信号が、前記差動回路に入力されることを特徴とするレベルシフト。

【請求項 6】第 1 のカレントミラー回路と、第 2 のカレントミラー回路と、

前記第 1 および第 2 のカレントミラー回路に電氣的に接続された差動回路と、

前記差動回路に電流を供給する第 1 の電流源と、

ゲート電極とドレイン領域とを電氣的に接続した、第 1 および第 2 のトランジスタと、

前記第 1 および第 2 のトランジスタに電流を供給する第 2 および第 3 の電流源とを有するレベルシフトであって、

前記差動回路は、第 3 のトランジスタと第 4 のトランジスタとを有し、

10

20

30

40

50

前記第 1 のトランジスタのドレイン領域と、前記第 3 のトランジスタのゲート電極とが電氣的に接続され、前記第 2 のトランジスタのドレイン領域と、前記第 4 のトランジスタのゲート電極とが電氣的に接続され、第 1 の入力信号が、前記第 1 のトランジスタのソース領域に入力され、前記第 1 のトランジスタからの第 1 の出力信号が、前記第 3 のトランジスタのゲート電極に入力され、第 2 の入力信号が、前記第 2 のトランジスタのソース領域に入力され、前記第 2 のトランジスタからの第 2 の出力信号が、前記第 4 のトランジスタのゲート電極に 10 入力されることを特徴とするレベルシフタ。

【請求項 7】カレントミラー回路と、
前記カレントミラー回路を負荷とする差動回路と、
前記差動回路に電流を供給する第 1 の電流源と、
第 1 のソースフォロア回路と、第 2 のソースフォロア回路と、
リセット用トランジスタとを有するレベルシフタであって、
第 1 の入力信号が、前記第 1 のソースフォロア回路に入力され、前記第 1 のソースフォロア回路からの第 1 の出力信号が、前記差動回路に入力され、第 2 の入力信号が、前記第 2 のソースフォロア回路に入力され、前記第 2 のソースフォロア回路からの第 2 の出力信号が、前記差動回路に入力され、
入力信号の電圧振幅の変換を行わない期間においては、前記リセット用トランジスタにリセット信号を入力することにより、前記電流源において電流の供給が遮断されることを特徴とするレベルシフタ。

【請求項 8】カレントミラー回路と、
前記カレントミラー回路を負荷とする差動回路と、
前記差動回路に電流を供給する第 1 の電流源と、
ゲート電極とドレイン領域とを電氣的に接続した、第 1 および第 2 のトランジスタと、
前記第 1 および第 2 のトランジスタに電流を供給する第 2 および第 3 の電流源とを有するレベルシフタであって、第 1 の入力信号が、前記第 1 のトランジスタのソース領域に入力され、前記第 1 のトランジスタからの第 1 の出力信号が、前記差動回路に入力され、第 2 の入力信号が、前記第 2 のトランジスタのソース領域に入力され、前記第 2 のトランジスタからの第 2 の出力信号が、前記差動回路に入力され、電圧振幅の変換を行わない期間においては、前記電流源からの電流供給を遮断することを特徴とするレベルシフタ。

【請求項 9】ゲート電極とドレイン領域とを接続した、第 1 導電形式の第 1 のトランジスタと、
ゲート電極とドレイン領域とを接続した、第 1 導電形式の第 2 のトランジスタと、
第 1 導電形式の第 3 のトランジスタと、第 1 導電形式の第 4 のトランジスタとを有する差動回路と、
第 2 導電形式であって、ゲート電極とドレイン領域とを 50

接続した第 5 のトランジスタと、第 2 導電形式の第 6 のトランジスタとを有するカレントミラー回路と、
前記差動回路と第 1 の電流源とを接続する、第 1 導電形式の第 7 のトランジスタと、
前記第 5 のトランジスタと第 2 の電流源とを電氣的に接続する、第 2 導電形式の第 8 のトランジスタと、
前記第 6 のトランジスタと第 3 の電流源とを電氣的に接続する、第 2 導電形式の第 9 のトランジスタと、
前記第 7、第 8 および第 9 のトランジスタのゲート電極に電位を供給する電源部と、
第 2 導電形式の第 10 のリセット用トランジスタと、
第 1 導電形式の第 11 のリセット用トランジスタとを有するレベルシフタであって、
前記第 1 のトランジスタのドレイン領域と、前記第 3 のトランジスタのゲート電極とが電氣的に接続され、
前記第 2 のトランジスタのドレイン領域と、前記第 4 のトランジスタのゲート電極とが電氣的に接続され、
前記第 10 のリセット用トランジスタのソース領域は、前記第 7、第 8 のトランジスタのソース領域と電氣的に接続され、ドレイン領域は前記第 7、第 8 のトランジスタのゲート電極と電氣的に接続され、
前記第 11 のリセット用トランジスタのソース領域は、前記第 9 のトランジスタのソース領域と電氣的に接続され、ドレイン領域は前記第 9 のトランジスタのゲート電極と電氣的に接続され、第 1 の入力信号が、前記第 1 のトランジスタのソース領域に入力され、前記第 1 のトランジスタからの出力信号が、前記第 3 のトランジスタのゲート電極に入力され、第 2 の入力信号が、前記第 2 のトランジスタのソース領域に入力され、前記第 2 のトランジスタからの出力信号が、前記第 4 のトランジスタのゲート電極に入力され、
電圧振幅の変換を行わない期間においては、前記第 10、第 11 のリセット用トランジスタのゲート電極にリセット信号を入力し、前記第 7、第 8、第 9 のトランジスタを非導通状態とすることによって、電流の供給が遮断されることを特徴とするレベルシフタ。

【請求項 10】請求項 1 乃至請求項 9 記載のレベルシフタにおいて、
前記第 1 の入力信号は、低電圧振幅の信号であり、前記第 2 の入力信号は、前記第 1 の入力信号と逆の位相を有する低電圧振幅の信号であることを特徴とするレベルシフタ。

【請求項 11】請求項 1 乃至請求項 9 に記載のレベルシフタにおいて、
前記第 1 の入力信号は、低電圧振幅の信号であり、前記第 2 の入力信号は、前期第 1 の入力信号の振幅範囲内における、ある一定電位の信号であることを特徴とするレベルシフタ。

【請求項 12】請求項 1 乃至請求項 11 に記載のレベルシフタにおいて、

前記第 1 及び第 2 の入力信号の電圧振幅は、5[V]以下であることを特徴とするレベルシフタ。

【請求項 13】請求項 1 乃至請求項 12 のいずれか 1 項に記載の前記レベルシフタを用いることを特徴とする表示装置。

【請求項 14】請求項 1 乃至請求項 12 のいずれか 1 項に記載の前記レベルシフタを用いることを特徴とするテレビ。

【請求項 15】請求項 1 乃至請求項 12 のいずれか 1 項に記載の前記レベルシフタを用いることを特徴とするパーソナルコンピュータ。

【請求項 16】請求項 1 乃至請求項 12 のいずれか 1 項に記載の前記レベルシフタを用いることを特徴とする携帯端末。

【請求項 17】請求項 1 乃至請求項 12 のいずれか 1 項に記載の前記レベルシフタを用いることを特徴とするビデオカメラ。

【請求項 18】請求項 1 乃至請求項 12 のいずれか 1 項に記載の前記レベルシフタを用いることを特徴とするプロジェクト。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示装置の駆動回路に用いられるレベルシフタに関し、特にその駆動回路の構成に、絶縁体上に形成される薄膜トランジスタ（以下、TFTと記す）を用いた表示装置の駆動回路に用いられるレベルシフタに関する。なお、本明細書において、表示装置とは、LCD（液晶ディスプレイ）、OLED（有機ELディスプレイ）等に用いるものを指す。

【0002】

【従来の技術】近年、半導体製造技術の微細化が進み、それに伴うLSIの小型化によって、携帯端末等の小型機器への応用も進むことで、低消費電力化が要求されるようになり、現在では、3.3[V]駆動などの低電源電圧駆動のLSIが主流となっている。

【0003】一方で、携帯端末やコンピュータ用モニタなどの用途として近年需要の増加が著しいLCD（液晶ディスプレイ）は、液晶の駆動を10[V]～20[V]の電圧振幅の信号によって行われることが多く、その駆動回路には対応する高電源電圧で駆動する回路部が少なくとも存在する。

【0004】したがって、前述の低電源電圧で駆動されるコントローラLSIと、高電源電圧で駆動される液晶駆動用回路との間は、信号の振幅電圧幅を変化させるレベルシフタをもって接続することが不可欠となる。

【0005】図12（A）（B）に、通常広く用いられているレベルシフタの回路図を示す。なお、本明細書中、各電源電位をVDD#（#は数字）およびGNDとして表記する。ここではVDD1、VDD2、VDD3、VDD4を用い、その大小関係はVDD4<VDD

3<GND<VDD1<VDD2とする。また、簡単のため、GND=0[V]に固定する。

【0006】図12（A）に示したレベルシフタは、GND～VDD1の電圧振幅を有する入力信号に対し、GND～VDD2の電圧振幅を有する出力信号を得るものである。つまり低電位側を固定して、高電位側の電位を変換して振幅変換を行う。このレベルシフタの構成は以下のようにになっている。第1のP型TFT1201のソース領域と、第2のP型TFT1202のソース領域とはともに電源VDD2に接続されている。第1のP型TFT1201のドレイン領域は第3のP型TFT1203のソース領域と接続され、第2のP型TFT1202のドレイン領域は第4のP型TFT1204のソース領域と接続されている。第3のP型TFT1203のドレイン領域は、第1のN型TFT1205のドレイン領域と、第2のP型TFT1202のゲート電極とに接続され、第4のP型TFT1204のドレイン領域は、第2のN型TFT1206のドレイン領域と、第1のP型TFT1201のゲート電極とに接続されている。第1のN型TFT1205のソース領域と、第2のN型TFT1206のソース領域とはともにGND（=0[V]）に接続されている。また、入力信号（In）は、第3のP型TFT1203のゲート電極と、第1のN型TFT1205のゲート電極とに入力され、入力信号の反転信号（Inb）は、第4のP型TFT1204のゲート電極と、第2のN型TFT1206のゲート電極とに入力されている。出力信号（Out）は、第4のP型TFT1204のドレイン領域から取り出される。ここで、第3のP型TFT1203のドレイン領域から、出力信号の反転信号（Outb）を取り出すことも出来る。

【0007】なお、TFTの導電形式にはN型とP型とがあるが、本明細書中、特にその極性を限定しない場合においては、第1の導電形式、第2の導電形式と記述する。例えば、第1の導電形式と記したTFTがN型である場合には、第2の導電形式とはP型を指し、逆に第1の導電形式と記したTFTがP型である場合には、第2の導電形式とはN型を指すものとする。

【0008】次に、この従来例のレベルシフタの基本的な動作を説明する。入力信号（In）にHi信号が入力されると、N型TFT1205は導通状態となり、P型TFT1203は非導通状態となるので、P型TFT1202のゲート電極には電位がGND、すなわちLo信号が入力され、P型TFT1202は導通状態となる。一方、反転入力信号（Inb）はこのときLo信号であるから、N型TFT1206は非導通状態となり、P型TFT1204は導通状態となる。従って、P型TFT1202、1204が共に導通状態となったことになり出力信号（OUT）は、Hi信号が出力され、このときの電位はVDD2となる。なお、P型TFT1201は非導通状態となり、P型TFT1202のゲート電極の

電位を $L_o = GND$ に保持することを保証する。

【0009】入力信号 (I_n) の電位が L_o 信号の時は、図 12 (A) に示すレベルシフタが対称構造をとることから上記と同様に理解でき、出力端子 (OUT) からは L_o 信号が出力され、このときの電位は GND 、すなわち 0 [V] となる。

【0010】このようにして、 $GND \sim VDD1$ の電圧振幅を有する入力信号は、 $GND \sim VDD2$ の電圧振幅を有する出力信号に変換される。

【0011】続いて、図 12 (B) に示したレベルシフタは、 $VDD3 \sim GND$ の電圧振幅を有する入力信号に対し、 $VDD4 \sim GND$ の電圧振幅を有する出力信号を得るものである。つまり高電位側を固定して、低電位側の電位を変換して振幅変換を行う。このレベルシフタの構成は以下のようになっている。第 1 の N 型 TFT 1211 のソース領域と、第 2 の N 型 TFT 1212 のソース領域とはともに電源 $VDD4$ に接続されている。第 1 の N 型 TFT 1211 のドレイン領域は第 3 の N 型 TFT 1213 のソース領域と接続され、第 2 の N 型 TFT 1212 のドレイン領域は第 4 の N 型 TFT 1214 のソース領域と接続されている。第 3 の N 型 TFT 1213 のドレイン領域は、第 1 の P 型 TFT 1215 のドレイン領域と、第 2 の N 型 TFT 1212 のゲート電極とに接続され、第 4 の N 型 TFT 1214 のドレイン領域は、第 2 の P 型 TFT 1216 のドレイン領域と、第 1 の N 型 TFT 1211 のゲート電極とに接続されている。第 1 の P 型 TFT 1215 のソース領域と、第 2 の P 型 TFT 1216 のソース領域とはともに $GND (= 0 [V])$ に接続されている。また、入力信号 (I_n) は、第 3 の N 型 TFT 1213 のゲート電極と、第 1 の P 型 TFT 1215 のゲート電極とに入力され、入力信号の反転信号 (I_{nb}) は、第 4 の N 型 TFT 1214 のゲート電極と、第 2 の P 型 TFT 1216 のゲート電極とに入力されている。出力信号 (Out) は、第 4 の N 型 TFT 1214 のドレイン領域から取り出される。ここで、第 3 の N 型 TFT 1213 のドレイン領域から、出力信号の反転信号 (Outb) を取り出すことも出来る。

【0012】次に、この従来例のレベルシフタの基本的な動作を説明する。入力信号 (I_n) に L_o 信号が入力されると、P 型 TFT 1215 は導通状態となり、N 型 TFT 1213 は非導通状態となるので、N 型 TFT 1212 のゲート電極には電位が GND 、すなわち H_i 信号が入力され、N 型 TFT 1212 は導通状態となる。一方、反転入力信号 (I_{nb}) はこのとき H_i 信号であるから、P 型 TFT 1216 は非導通状態となり、N 型 TFT 1214 は導通状態となる。従って、P 型 TFT 1212、1214 が共に導通状態となったことになり出力信号 (OUT) は、 L_o 信号が出力され、このときの電位は $VDD4$ となる。なお、N 型 TFT 1211 は

非導通状態となり、N 型 TFT 1212 のゲート電極の電位を $H_i = GND$ に保持することを保証する。

【0013】入力信号 (I_n) の電位が H_i 信号の時は、図 12 (B) に示すレベルシフタが対称構造をとることから上記と同様に理解でき、出力端子 (OUT) からは H_i 信号が出力され、このときの電位は GND 、すなわち 0 [V] となる。

【0014】このようにして、 $VDD3 \sim GND$ の電圧振幅を有する入力信号は、 $VDD4 \sim GND$ の電圧振幅を有する出力信号に変換される。

【0015】

【発明が解決しようとする課題】図 12 (A) (B) に示したレベルシフタにおける問題点について述べる。なお、ここでは、図 12 (A) (B) いずれのレベルシフタについても共通の問題点であるので、例としては図 12 (A) のみを挙げる。最初に述べたように、最近のコントローラ LSI においては、3.3 [V] 動作をするものが主流となってきている。故に、図 12 (A) に示したレベルシフタにおいて、 $VDD1 = 3 [V]$ 、 $VDD2 = 1.0 [V]$ 程度の場合の変換をしようすると、TFT 1203、1204、1205、1206 への入力信号の振幅が 3 [V] であるのに対し、N 型 TFT 1205、1206 のしきい値電圧が仮に 3 [V] であったとしたら、もはや正常動作は望めない。つまり、変換前の電圧振幅が小さくなるに従い、TFT が十分に導通するだけのゲート・ソース間電圧を得にくくなるため、正常動作が困難になるということである。

【0016】故に、本発明においては、前述のように駆動回路の低電源電圧化に伴い、入力信号の電圧振幅が小さくなった場合にも正常動作を保証出来るような、新規の構造を有するレベルシフタを提供することを課題とする。

【0017】

【課題を解決するための手段】前述した課題を解決するために、本発明においては以下に説明するような手段を講じた。

【0018】従来のレベルシフタにおいては、入力信号は図 12 (A) における TFT 1203、1204、1205、1206 のゲート電極に入力されていたため、TFT のしきい値の絶対値よりも入力信号の電圧振幅が小さくなると、TFT が十分に導通するだけのゲート・ソース間電圧が得られなくなり、正常動作しなくなるという問題点があった。

【0019】そこで、本発明のレベルシフタにおいては、入力信号の経路を工夫して、入力信号の電圧振幅が小さくなった場合にも、TFT のしきい値の影響を受けにくくする。また、電圧振幅の変換には、カレントミラー回路と差動回路とを組み合わせた差動増幅回路を用いることによって、高い利得を得られるようにする。

【0020】以下に、本発明のレベルシフタの構成につ

いて記載する。

【0021】請求項1に記載の、本発明のレベルシフタは、カレントミラー回路と、前記カレントミラー回路を負荷とする差動回路と、前記差動回路に電流を供給する電流源と、第1のソースフォロア回路と、第2のソースフォロア回路とを有するレベルシフタであって、第1の入力信号が、前記第1のソースフォロア回路に入力され、前記第1のソースフォロア回路からの第1の出力信号が、前記差動回路に入力され、第2の入力信号が、前記第2のソースフォロア回路に入力され、前記第2のソースフォロア回路からの第2の出力信号が、前記差動回路に入力されることを特徴としている。

【0022】請求項2に記載の、本発明のレベルシフタは、カレントミラー回路と、前記カレントミラー回路を負荷とする差動回路と、前記差動回路に電流を供給する第1の電流源と、ゲート電極とドレイン領域とを電氣的に接続した、第1および第2のトランジスタと、前記第1および第2のトランジスタに電流を供給する第2および第3の電流源とを有するレベルシフタであって、第1の入力信号が、前記第1のトランジスタのソース領域に入力され、前記第1のトランジスタからの第1の出力信号が、前記差動回路に入力され、第2の入力信号が、前記第2のトランジスタのソース領域に入力され、前記第2のトランジスタからの第2の出力信号が、前記差動回路に入力されることを特徴としている。

【0023】請求項3に記載の、本発明のレベルシフタは、カレントミラー回路と、前記カレントミラー回路を負荷とする差動回路と、前記差動回路に電流を供給する第1の電流源と、ゲート電極とドレイン領域とを電氣的に接続した、第1および第2のトランジスタと、前記第1および第2のトランジスタに電流を供給する第2および第3の電流源とを有するレベルシフタであって、前記差動回路は、第3のトランジスタと第4のトランジスタとを有し、前記第1のトランジスタのドレイン領域と、前記第3のトランジスタのゲート電極とが電氣的に接続され、前記第2のトランジスタのドレイン領域と、前記第4のトランジスタのゲート電極とが電氣的に接続され、第1の入力信号が、前記第1のトランジスタのソース領域に入力され、前記第1のトランジスタからの第1の出力信号が、前記第3のトランジスタのゲート電極に入力され、第2の入力信号が、前記第2のトランジスタのソース領域に入力され、前記第2のトランジスタからの第2の出力信号が、前記第4のトランジスタのゲート電極に入力されることを特徴としている。

【0024】請求項4に記載の、本発明のレベルシフタは、ゲート電極とドレイン領域とを電氣的に接続した、第1導電形式の第1のトランジスタと、ゲート電極とドレイン領域とを電氣的に接続した、第1導電形式の第2のトランジスタと、第1導電形式の第3のトランジスタと、第1導電形式の第4のトランジスタとを有する差動

回路と、第2導電形式であって、ゲート電極とドレイン領域とを接続した第5のトランジスタと、第2導電形式の第6のトランジスタとを有するカレントミラー回路と、前記差動回路と第1の電流源とを電氣的に接続する、第1導電形式の第7のトランジスタと、前記第5のトランジスタと第2の電流源とを電氣的に接続する、第2導電形式の第8のトランジスタと、前記第6のトランジスタと第3の電流源とを電氣的に接続する、第2導電形式の第9のトランジスタと、前記第7、第8および第9のトランジスタのゲート電極に電位を供給する電源部とを有するレベルシフタであって、第1の入力信号が、前記第1のトランジスタのソース領域に入力され、前記第1のトランジスタからの第1の出力信号が、前記第3のトランジスタのゲート電極に入力され、第2の入力信号が、前記第2のトランジスタのソース領域に入力され、前記第2のトランジスタからの第2の出力信号が、前記第4のトランジスタのゲート電極に入力されることを特徴としている。

【0025】請求項5に記載の、本発明のレベルシフタは、第1のカレントミラー回路と、第2のカレントミラー回路と、前記第1および第2のカレントミラー回路に電氣的に接続された差動回路と、前記差動回路に電流を供給する第1の電流源と、ゲート電極とドレイン領域とを接続した、第1および第2のトランジスタと、前記第1および第2のトランジスタに電流を供給する第2および第3の電流源とを有するレベルシフタであって、第1の入力信号が、前記第1のトランジスタのソース領域に入力され、前記第1のトランジスタからの第1の出力信号が、前記差動回路に入力され、第2の入力信号が、前記第2のトランジスタのソース領域に入力され、前記第2のトランジスタからの第2の出力信号が、前記差動回路に入力されることを特徴としている。

【0026】請求項6に記載の、本発明のレベルシフタは、第1のカレントミラー回路と、第2のカレントミラー回路と、前記第1および第2のカレントミラー回路に電氣的に接続された差動回路と、前記差動回路に電流を供給する第1の電流源と、ゲート電極とドレイン領域とを電氣的に接続した、第1および第2のトランジスタと、前記第1および第2のトランジスタに電流を供給する第2および第3の電流源とを有するレベルシフタであって、前記差動回路は、第3のトランジスタと第4のトランジスタとを有し、前記第1のトランジスタのドレイン領域と、前記第3のトランジスタのゲート電極とが電氣的に接続され、前記第2のトランジスタのドレイン領域と、前記第4のトランジスタのゲート電極とが電氣的に接続され、第1の入力信号が、前記第1のトランジスタのソース領域に入力され、前記第1のトランジスタからの第1の出力信号が、前記第3のトランジスタのゲート電極に入力され、第2の入力信号が、前記第2のトランジスタのソース領域に入力され、前記第2のトランジ

スタからの第 2 の出力信号が、前記第 4 のトランジスタのゲート電極に入力されることを特徴としている。

【0027】請求項 7 に記載の、本発明のレベルシフタは、カレントミラー回路と、前記カレントミラー回路を負荷とする差動回路と、前記差動回路に電流を供給する第 1 の電流源と、第 1 のソースフォロア回路と、第 2 のソースフォロア回路と、リセット用トランジスタとを有するレベルシフタであって、第 1 の入力信号が、前記第 1 のソースフォロア回路に入力され、前記第 1 のソースフォロア回路からの第 1 の出力信号が、前記差動回路に入力され、第 2 の入力信号が、前記第 2 のソースフォロア回路に入力され、前記第 2 のソースフォロア回路からの第 2 の出力信号が、前記差動回路に入力され、入力信号の電圧振幅の変換を行わない期間においては、前記リセット用トランジスタにリセット信号を入力することにより、前記電流源において電流の供給が遮断されることを特徴としている。

【0028】請求項 8 に記載の、本発明のレベルシフタは、カレントミラー回路と、前記カレントミラー回路を負荷とする差動回路と、前記差動回路に電流を供給する第 1 の電流源と、ゲート電極とドレイン領域とを電気的に接続した、第 1 および第 2 のトランジスタと、前記第 1 および第 2 のトランジスタに電流を供給する第 2 および第 3 の電流源とを有するレベルシフタであって、第 1 の入力信号が、前記第 1 のトランジスタのソース領域に入力され、前記第 1 のトランジスタからの第 1 の出力信号が、前記差動回路に入力され、第 2 の入力信号が、前記第 2 のトランジスタのソース領域に入力され、前記第 2 のトランジスタからの第 2 の出力信号が、前記差動回路に入力され、電圧振幅の変換を行わない期間においては、前記電流源からの電流供給を遮断することを特徴としている。

【0029】請求項 9 に記載の、本発明のレベルシフタは、ゲート電極とドレイン領域とを接続した、第 1 導電形式の第 1 のトランジスタと、ゲート電極とドレイン領域とを接続した、第 1 導電形式の第 2 のトランジスタと、第 1 導電形式の第 3 のトランジスタと、第 1 導電形式の第 4 のトランジスタとを有する差動回路と、第 2 導電形式であって、ゲート電極とドレイン領域とを接続した第 5 のトランジスタと、第 2 導電形式の第 6 のトランジスタとを有するカレントミラー回路と、前記差動回路と第 1 の電流源とを接続する、第 1 導電形式の第 7 のトランジスタと、前記第 5 のトランジスタと第 2 の電流源とを電気的に接続する、第 2 導電形式の第 8 のトランジスタと、前記第 6 のトランジスタと第 3 の電流源とを電気的に接続する、第 2 導電形式の第 9 のトランジスタと、前記第 7、第 8 および第 9 のトランジスタのゲート電極に電位を供給する電源部と、第 2 導電形式の第 10 のリセット用トランジスタと、第 1 導電形式の第 11 のリセット用トランジスタとを有するレベルシフタであって

て、前記第 1 のトランジスタのドレイン領域と、前記第 3 のトランジスタのゲート電極とが電気的に接続され、前記第 2 のトランジスタのドレイン領域と、前記第 4 のトランジスタのゲート電極とが電気的に接続され、前記第 10 のリセット用トランジスタのソース領域は、前記第 7、第 8 のトランジスタのソース領域と電気的に接続され、ドレイン領域は前記第 7、第 8 のトランジスタのゲート電極と電気的に接続され、前記第 11 のリセット用トランジスタのソース領域は、前記第 9 のトランジスタのソース領域と電気的に接続され、ドレイン領域は前記第 9 のトランジスタのゲート電極と電気的に接続され、第 1 の入力信号が、前記第 1 のトランジスタのソース領域に入力され、前記第 1 のトランジスタからの出力信号が、前記第 3 のトランジスタのゲート電極に入力され、第 2 の入力信号が、前記第 2 のトランジスタのソース領域に入力され、前記第 2 のトランジスタからの出力信号が、前記第 4 のトランジスタのゲート電極に入力され、電圧振幅の変換を行わない期間においては、前記第 10、第 11 のリセット用トランジスタのゲート電極にリセット信号を入力し、前記第 7、第 8、第 9 のトランジスタを非導通状態とすることによって、電流の供給が遮断されることを特徴としている。

【0030】請求項 10 に記載の、本発明のレベルシフタは、請求項 1 乃至請求項 9 に記載のレベルシフタにおいて、前記第 1 の入力信号は、低電圧振幅の信号であり、前記第 2 の入力信号は、前記第 1 の入力信号と逆の位相を有する低電圧振幅の信号であることを特徴としている。

【0031】請求項 11 に記載の、本発明のレベルシフタは、請求項 1 乃至請求項 9 に記載のレベルシフタにおいて、前記第 1 の入力信号は、低電圧振幅の信号であり、前記第 2 の入力信号は、前期第 1 の入力信号の振幅範囲内における、ある一定電位の信号であることを特徴としている。

【0032】請求項 12 に記載の、本発明のレベルシフタは、請求項 1 乃至請求項 11 に記載のレベルシフタにおいて、前記第 1 及び第 2 の入力信号の電圧振幅は、5 [V] 以下であることを特徴としている。

【0033】

【発明の実施の形態】

【0034】本発明のレベルシフタの回路構成図を図 1 に示す。ここでは、電源電位に GND (= 0 [V])、VDD1、VDD2 を用い、それらの大小関係は、GND < VDD1 < VDD2 とする。本発明のレベルシフタは、点線枠 150 で囲まれたカレントミラー回路と、点線枠 160 で囲まれた差動回路と、点線枠 170 で囲まれた第 1 のソースフォロア回路と、点線枠 180 で囲まれた第 2 のソースフォロア回路と、電流源 109 とを有している。カレントミラー回路 150、差動回路 160 および電流源 109 により、差動増幅回路が構成され、

信号の電圧振幅の変換が行われる。ここで、カレントミラー回路 150 は、差動増幅回路の利得を大きくするための負荷として用いている。

【0035】P型TFT101、102のソース領域は、電源VDD2に接続されている。P型TFT101、102のゲート電極は互いに電氣的に接続され、P型TFT101のドレイン領域およびN型TFT103のドレイン領域と電氣的に接続されている。P型TFT102のドレイン領域は、N型TFT104のドレイン領域と電氣的に接続され、このノードより出力(Out)を得る。N型TFT103、104のソース領域は、電流源109と電氣的に接続されている。N型TFT105のソース領域には第1の入力信号(In1)が入力され、N型TFT106のソース領域には第2の入力信号(In2)が入力される。N型TFT105のゲート電極とドレイン領域とは、ともに電流源107およびN型TFT103のゲート電極と電氣的に接続されている。N型TFT106のゲート電極とドレイン領域とは、ともに電流源108およびN型TFT104のゲート電極と電氣的に接続されている。

【0036】本発明のレベルシフタの基本的な動作を、図1、図2を用いて説明する。まず、第1の入力端子(In1)からは、GND~VDD1の振幅を有する信号が入力される。差動回路部160には、電流源109より定電流が供給される。一方、第1のソースフォロア回路170および第2のソースフォロア回路180におけるN型TFT105、106は、ともにゲート電極とドレイン領域とが接続されているので、この2つのTFTはいずれも飽和領域で動作する。よって、N型TFT103のゲート電極には、VDD2-第1の入力端子(In1)間の電圧を、抵抗分割した電位が入力される。この電位を V_{i01} と表記する。同様に、第2の入力端子(In2)からも信号が入力され、第1の入力信号の場合と同様にして、N型TFT104のゲート電極には、VDD2-第2の入力端子(In2)間の電圧を抵抗分割した電位が入力される。この電位を V_{i02} と表記する。

【0037】 V_{i01} 、 V_{i02} の電位は、図2(B)に示すようになる。図1中、点線枠150で囲われたカレントミラー回路と、点線枠160で囲われた差動回路とにより構成される差動増幅回路の動作について説明する。差動回路のN型TFT103、104のソース領域は、電流源109に接続されている。よって、この2つのTFTを流れる電流は常に一定である。ここで、第1の入力信号がHi、第2の入力信号がLoである場合、差動回路への入力電位の大小関係は、 $V_{i01} > V_{i02}$ となる。よって、N型TFT103のゲート・ソース間電圧は大きくなり、N型TFT104のゲート・ソース間電圧は小さくなる。したがって、N型TFT103を流れる電流 I_{i03} は増加し、N型TFT104を流れる電流 I_{i04} は

減少する。このとき、カレントミラー回路によって、P型TFT101、102には、 I_{i03} に等しい電流が流れる。よって出力端子(Out)には、 I_{i03} と I_{i04} の差分の電流が流れる。

【0038】第1の入力信号がHi、第2の入力信号がLoであるときは、 $I_{i03} > I_{i04}$ であるから、出力端子は差分の電流によって充電され、電位が上昇する。逆に、第1の入力信号がLo、第2の入力信号がHiであるときは、出力端子の電位は下降する。よって、出力端子からは、図2(C)に示すようなパルスが得られる。その後、出力端子の後でバッファ等を通すことにより、図2(D)に示すような、GND~VDD2の振幅を有するパルスが得られる。

【0039】本実施形態においては、入力信号は、第1の入力信号の反転信号を第2の入力信号としているが、この2つの信号の関係はこの限りでなく、図2(B)に示すように、第1の入力信号のタイミングで、N型TFT103および104のゲート電極に印加される電位が大小関係をとれるような信号であれば良い。

【0040】また、カレントミラー回路150、差動回路160に関しては、動作を説明するため、ある一態様を示したが、回路構成に関しては、特にここに表記した構成のみに限定しない。

【0041】

【実施例】以下に本発明の実施例について記述する。

【0042】[実施例1]図3に、本発明のレベルシフタの一実施例を示す。本実施例の説明に伴って行ったシミュレーションの条件として、電源電位にGND(=0[V])、VDD1(=3[V])、VDD2(=10[V])を用いて説明する。

【0043】本実施例のレベルシフタは、点線枠300で囲まれた差動増幅回路と、点線枠320で囲まれた第1のソースフォロア回路、点線枠330で囲まれた第2のソースフォロア回路からなるレベルシフタ部と、点線枠350で囲まれた電源部とによって構成される。

【0044】まず、電源部の構成から説明する。P型TFT310、311のソース領域と、N型TFT313のゲート電極とは、電源VDD2と電氣的に接続されている。N型TFT312、313のソース領域は、電源GNDと電氣的に接続されている。N型TFT313のドレイン領域は、P型TFT311のドレイン領域と電氣的に接続され、さらにP型TFT310、311のゲート電極と電氣的に接続されており、レベルシフタ部へと入力される。このノードを α とする。N型TFT312のドレイン領域は、P型TFT310のドレイン領域およびN型TFT312のゲート電極と電氣的に接続され、レベルシフタ部へと入力される。このノードを β とする。

【0045】続いて、レベルシフタ部の構成について説明する。差動増幅回路300において、P型TFT30

2、303のソース領域は、電源VDD2と電氣的に接続されている。P型TFT302、303のゲート電極は互いに電氣的に接続され、P型TFT302のドレイン領域およびN型TFT306のドレイン領域と電氣的に接続されている。P型TFT303のドレイン領域は、N型TFT307のドレイン領域と電氣的に接続され、このノードより、バッファ(Buf.)等を介して出力(Output)を得る。N型TFT306、307のソース領域は、N型TFT309のドレイン領域と電氣的に接続され、N型TFT309のソース領域は、電源GNDと電氣的に接続されている。N型TFT309のゲート電極には、ノードβにおける電位が入力される。

【0046】第1のソースフォロア回路320において、P型TFT301のソース領域は電源VDD2と電氣的に接続され、ゲート電極には、ノードαにおける電位が入力される。一方、N型TFT305のソース領域より、第1の入力信号(In1)が入力される。N型TFT305のドレイン領域とゲート電極は電氣的に接続され、さらにP型TFT301のドレイン領域と電氣的に接続される。このノードの電位は、差動増幅回路内のN型TFT306のゲート電極に入力される。

【0047】第2のソースフォロア回路330において、P型TFT304のソース領域は電源VDD2と電氣的に接続され、ゲート電極には、ノードαにおける電位が入力される。一方、N型TFT308のソース領域より、第1の入力信号(In1)が入力される。N型TFT308のドレイン領域とゲート電極は電氣的に接続され、さらにP型TFT304のドレイン領域と電氣的に接続される。このノードの電位は、差動増幅回路内のN型TFT307のゲート電極に入力される。

【0048】本発明のレベルシフタの動作を、図3、図4を用いて説明する。図4は、図3で示した回路に関するシミュレーション結果を示している。

【0049】まず、電源部について説明する。N型TFT313のゲート電極にVDD2が入力されて、導通する。これによってP型TFT310、311のゲート電極にはGNDが入力され、共に導通する。P型TFT310の導通により、N型TFT312のゲート電極にはVDD2が入力され、導通する。図3中、ノードαには、GNDに対してやや高い電位が現れ、ノードβには、VDD2に対してやや低い電位が現れる。説明のため、以後は前者をGND'、後者をVDD2'と表記する。(シミュレーション結果では、GND'=1.8[V]、VDD2'=6.8[V]。)

【0050】続いて、レベルシフタ部について説明する。N型TFT309のゲート電極に、先の電源部から出力されるVDD2'が入力され、導通する。よってN型TFT306、307のソース領域には電源GNDが入力される。一方、P型TFT301、304のゲート電極には、先の電源部から出力されるGND'が入力さ

れ、導通する。N型TFT305のゲート電極とドレイン領域とは接続されており、N型TFT308のゲート電極とドレイン領域とが接続されているので、この2つのTFTはいずれも飽和領域で動作する。よって、N型TFT306のゲート電極には、VDD2-第1の入力信号(In1)間の電圧を、P型TFT301およびN型TFT305の抵抗によって抵抗分割した電位が入力される。この電位を $V_{\alpha\alpha}$ と表記する。また、N型TFT307のゲート電極には、VDD2-第2の入力信号(In2)間の電圧を、P型TFT304およびN型TFT308の有する抵抗によって抵抗分割した電位が入力される。この電位を $V_{\alpha\beta}$ と表記する。

【0051】 $V_{\alpha\alpha}$ 、 $V_{\alpha\beta}$ の電位は、図4(B)に示すようになる。点線枠300で囲われた差動増幅回路は、 $V_{\alpha\alpha}-V_{\alpha\beta}$ 間の電位差を増幅して出力する機能を有する。よって、出力端子(Output)からは、図4(C)に示すようなパルスが得られる。その後、出力端子の後でバッファ等を通すことにより、図4(D)に示すような、GND~VDD2の振幅を有するパルスが得られる。

【0052】比較のため、図4(C)(D)には、従来のレベルシフタによって振幅変換を行った場合のシミュレーション結果をプロットしている。図4(C)における、レベルシフタ出力が、既に正常な波形を保っていないことがわかる。図4(D)でのバッファ出力を比較すると、電圧振幅は0~10[V]を達成しているが、本発明のレベルシフタの出力と比較すると、入力信号に対し、大きく遅延しているのがわかる。このように、本発明のレベルシフタは、従来型では正常に行うことの困難な振幅変換を行うことが出来る。

【0053】また、本実施例にて示した図3の例では、TFT305、308をN型TFTとしているが、これらをP型TFTとし、TFT305、308のゲート電極とドレイン領域とを入力端子(In1またはIn2)に接続し、ソース領域をTFT301、304のドレイン領域および差動回路の入力部に接続しても良い。

【0054】[実施例2]実施例1においては、信号の振幅変換は、低電圧側(GND)を固定し、高電圧側をVDD1からVDD2へと変換することによって行っていた。本実施例においては、高電圧側を固定し、低電圧側を変換して信号の振幅変換を行う構成のレベルシフタの例を示す。また、説明の際に用いる電源電位は、ここではGND、VDD3、VDD4を用い、それらの大小関係は、 $VDD4 < VDD3 < GND$ とする。本実施例の説明に伴って行ったシミュレーションの条件として、電源電位にGND(=0[V])、VDD3(=-3[V])、VDD4(=-10[V])を用いて説明する。

【0055】図5に、本実施例のレベルシフタの回路構成を示す。図3に示したレベルシフタを構成するTFTの極性を逆にした形であり、電源VDD2が接続されて

いた所に、電源VDD4が接続されている。また、入力信号の電圧振幅はVDD3～GNDであり、このレベルシフタによって、その電圧振幅をVDD4～GNDに変換する。

【0056】本発明のレベルシフタの動作を、図5、図6を用いて説明する。図6は、図5で示した回路に関するシミュレーション結果を示している。図5中、点線枠550で示される電源部と、差動増幅回路500およびソースフォロア回路520、530を有するレベルシフタ部とに分けて説明する。

【0057】まず、電源部について説明する。P型TFT513のゲート電極にVDD4が入力されて、導通する。これによってN型TFT510、511のゲート電極にはGNDが入力され、共に導通する。N型TFT510の導通により、P型TFT512のゲート電極にはVDD4が入力され、導通する。図5中、ノードαには、GNDに対してやや低い電位が現れ、ノードβには、VDD4に対してやや高い電位が現れる。説明のため、以後は前者をGND'、後者をVDD4'と表記する。(シミュレーション結果では、GND'=-3.6 [V]、VDD4'=-8.1 [V]。)

【0058】続いて、レベルシフタ部について説明する。まず、第3の信号と第4の信号が、それぞれ図5中、In3およびIn4より入力される。一方、P型TFT509のゲート電極に、先の電源部から出力されるVDD4'が入力され、導通する。よってP型TFT506、507のソース領域には、電源GNDが入力される。一方、N型TFT501、504のゲート電極には、先の電源部から出力されるGND'が入力され、導通する。P型TFT505のゲート電極とドレイン領域とは接続されており、P型TFT508のゲート電極とドレイン領域とは接続されているので、この2つのTFTはいずれも飽和領域で動作する。よって、P型TFT506のゲート電極には、VDD4-第3の入力信号(In3)間の電圧を、N型TFT501およびP型TFT505の抵抗によって抵抗分割した電位が入力される。この電位を V_{s06} と表記する。また、P型TFT507のゲート電極には、VDD4-第4の入力信号(In4)間の電圧を、N型TFT504およびP型TFT508の有する抵抗によって抵抗分割した電位が入力される。この電位を V_{s07} と表記する。

【0059】 V_{s06} 、 V_{s07} の電位は、図6(B)に示すようになる。点線枠500で囲われた差動増幅回路は、 $V_{s06}-V_{s07}$ 間の電位差を増幅して出力する機能を有する。よって、出力端子(Output)からは、図6(C)に示すようなパルスが得られる。その後、出力端子の後でバッファ等を通すことにより、図6(D)に示すような、GND～VDD4の振幅を有するパルスが得られる。

【0060】また、本実施例にて示した図5の例では、

TFT505、508をP型TFTとしているが、これらをN型TFTとし、TFT505、508のゲート電極とドレイン領域とを入力端子(In3またはIn4)に接続し、ソース領域をTFT501、504のドレイン領域および差動回路の入力部に接続しても良い。

【0061】[実施例3]実施例1および実施例2にて示した本発明のレベルシフタは、2入力、1出力型であったが、同様の回路を用いて、1入力、1出力型とすることも出来る。本実施例においては、GND～VDD1の電圧振幅を有する信号を、GND～VDD2の電圧振幅を有する信号に変換する、1入力、1出力型レベルシフタを例に挙げて述べる。

【0062】図7は1入力、1出力型レベルシフタの例である。実施例1にて示したレベルシフタと、回路構成上の相違点はない。唯一、実施例1で第2の信号(In2)が入力されていた端子が、電源Vrefに接続されている点異なる。ここでは、電源電位にGND(=0 [V])、VDD1(=3 [V])、VDD2(=10 [V])、Vref(=1.5 [V])を用いる。ここで、Vrefの電位は、入力信号(In)の振幅の範囲内であることが望ましい。本実施例では、例としてGND(=0 [V])とVDD1(=3 [V])の中間電位となるようにした。

【0063】本発明のレベルシフタの動作を、図7、図8を用いて説明する。図8は、図7で示した回路に関するシミュレーション結果を示している。図7中、点線枠750で示される電源部と、差動増幅回路700およびソースフォロア回路720、730を有するレベルシフタ部とに分けて説明する。

【0064】まず、電源部について説明する。N型TFT713のゲート電極にVDD2(=10 [V])が入力されて、導通する。これによってP型TFT710、711のゲート電極にはGND(=0 [V])が入力され、共に導通する。P型TFT710の導通により、N型TFT712のゲート電極にはVDD2(=10 [V])が入力され、導通する。よって、図5中、ノードαには、GNDに対してやや高い電位が現れ、ノードβには、VDD2に対してやや低い電位が現れる。説明のため、以後は前者をGND'、後者をVDD2'と表記する。(シミュレーション結果では、GND'=1.8 [V]、VDD2'=6.8 [V]。)

【0065】続いて、レベルシフタ部について説明する。N型TFT709のゲート電極に、先の電源部から出力されるVDD2'が入力され、導通する。よってN型TFT706、707のソース領域と電源GNDが電気的に接続される。一方、P型TFT701、704のゲート電極には、先の電源部から出力されるGND'が入力され、導通する。N型TFT705のゲート電極とドレイン領域とは接続されており、N型TFT708のゲート電極とドレイン領域とは接続されているので、こ

の2つのTFTはいずれも飽和領域で動作する。よって、N型TFT706のゲート電極には、VDD2-第1の入力信号(In)間の電圧を、P型TFT701およびN型TFT705の抵抗によって抵抗分割した電位が入力される。この電位を V_{i06} と表記する。また、N型TFT707のゲート電極には、VDD2-第2の入力信号(Inb)間の電圧を、P型TFT704およびN型TFT708の有する抵抗によって抵抗分割した電位が入力される。この電位を V_{i07} と表記する。

【0066】ここで、 V_{i06} および V_{i07} の大小関係について考える。まずVDD2(=10[V]) - Vref (=1.5[V])間の電圧が一定であることから、 V_{i06} もまた一定の電位をとる。これに対して V_{i06} は、図8(A)(B)に示すように、入力信号(In)の電位がHi(=3[V])の時とLo(=0[V])の時でその電位が変化する。以下に、2つの場合に分けてこれらの大小関係について説明する。

【0067】(1)入力信号(In)にHiが入力される時

このとき、 V_{i06} は、VDD2(=10[V]) - VDD1(=3[V])間の電圧を、P型TFT701およびN型TFT705の抵抗によって抵抗分割した電位となる。ここで、GND(=0[V]) < Vref (=1.5[V]) < VDD1(=3[V])であるから、大小関係は $V_{i06} > V_{i07}$ となる。(図8(B))

【0068】(2)入力信号(In)にLoが入力される時

このとき、 V_{i06} は、VDD2(=10[V]) - GND(=0[V])間の電圧を、P型TFT701およびN型TFT705の抵抗によって抵抗分割した電位となる。

(1)と同様、GND(=0[V]) < Vref (=1.5[V]) < VDD1(=3[V])であるから、大小関係は $V_{i06} < V_{i07}$ となる。(図8(B))

【0069】よって、出力端子(Out)からは、図8(C)に示すようなパルスが得られる。その後、出力端子の後でバッファ等を通すことにより、図8(D)に示すような、GND~VDD2の振幅を有するパルスが得られる。

【0070】また、本実施例にて示した図7の例では、TFT705、708をN型TFTとしているが、これらをP型TFTとし、TFT705、708のゲート電極とドレイン領域とを入力端子(In)またはVrefに接続し、ソース領域をTFT701、704のドレイン領域および差動回路の入力部に接続しても良い。

【0071】[実施例4]本実施例では、装置の画素部とその周辺に設けられる駆動回路部(ソース信号線駆動回路、ゲート信号線駆動回路)のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位であるCMOS回路を図示することとする。

【0072】まず、図9(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜5002aを10~200[nm](好ましくは50~100[nm])形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜5002bを50~200[nm](好ましくは100~150[nm])の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0073】島状半導体層5003~5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5003~5006の厚さは25~800[nm](好ましくは30~60[nm])の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0074】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30[Hz]とし、レーザーエネルギー密度を100~400[mJ/cm²](代表的には200~300[mJ/cm²])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~10[kHz]とし、レーザーエネルギー密度を300~600[mJ/cm²](代表的には350~500[mJ/cm²])とすると良い。そして幅100~1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80~98[%]として行う。

【0075】次いで、島状半導体層5003~5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40~150[nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プ

ラズマCVD法でTEOS (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力40 [Pa]、基板温度300~400 [°C]とし、高周波(13.56 [MHz])、電力密度0.5~0.8 [W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400~500 [°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0076】そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50~100 [nm]の厚さに形成し、第2の導電膜5009をWで100~300 [nm]の厚さに形成する。

【0077】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、 α 相のTa膜の抵抗率は20 [$\mu\Omega$ cm]程度でありゲート電極に使用することが出来るが、 β 相のTa膜の抵抗率は180 [$\mu\Omega$ cm]程度でありゲート電極とするには不向きである。 α 相のTa膜を形成するために、Taの α 相に近い結晶構造をもつ窒化タンタルを10~50 [nm]程度の厚さでTaの下地に形成しておくことと α 相のTa膜を容易に得ることが出来る。

【0078】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20 [$\mu\Omega$ cm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999 [%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20 [$\mu\Omega$ cm]を実現することが出来る。

【0079】なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導

電膜5009をCuとする組み合わせ等が挙げられる。

【0080】次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1 [Pa]の圧力でコイル型の電極に500 [W]のRF (13.56 [MHz]) 電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100 [W]のRF (13.56 [MHz]) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0081】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20 [%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4 (代表的には3) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50 [nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011~5016 (第1の導電層5011a~5016aと第2の導電層5011b~5016b) を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011~5016で覆われない領域は20~50 [nm]程度エッチングされ薄くなった領域が形成される。(図9 (A))

【0082】そして、第1のドーピング処理を行い、N型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²]とし、加速電圧を60~100 [keV]として行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5011~5016がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017~5020が形成される。第1の不純物領域5017~5020には $1 \times 10^{18} \sim 1 \times 10^{21}$ [atoms/cm³]の濃度範囲でN型を付与する不純物元素を添加する。(図9 (B))

【0083】次に、図9 (C) に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスにCF₄とCl₂と O_2 とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5021~5026 (第1の導電層5021a~5026aと第2の導電層

5021b~5026b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5021~5026で覆われない領域はさらに20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0084】W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_6 、 TaF_5 、 $TaCl_5$ は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0085】そして、図10(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70~120[kV]とし、 1×10^{11} [atoms/cm²]のドーズ量で行い、図9(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5021~5026を不純物元素に対するマスクとして用い、第1の導電層5021a~5026aの下側の領域の半導体層にも不純物元素が添加されるようにドーピングする。こうして、第2の不純物領域5027~5031が形成される。この第2の不純物領域5027~5031に添加されたリン(P)の濃度は、第1の導電層5021a~5026aのテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5021a~5026aのテーパー部と重なる半導体層において、第1の導電層5021a~5026aのテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0086】続いて、図10(B)に示すように第3のエッチング処理を行う。エッチングガスに CHF_3 を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層5021a~5026aのテーパー部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電

層5032~5037(第1の導電層5032a~5037aと第2の導電層5032b~5037b)を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5032~5037で覆われない領域はさらに20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0087】第3のエッチング処理によって、第2の不純物領域5027~5031においては、第1の導電層5032a~5037aと重なる第2の不純物領域5027a~5031aと、第1の不純物領域と第2の不純物領域との間の第3の不純物領域5027b~5031bとが形成される。

【0088】そして、図10(C)に示すように、P型TFETを形成する島状半導体層5004に、第1の導電型とは逆の導電型の第4の不純物領域5039~5044を形成する。第3の形状の導電層5033bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、N型TFETを形成する島状半導体層5003、5005、保持容量部5006および配線部5034はレジストマスク5038で全面を被覆しておく。不純物領域5039~5044にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用いたイオンドーピング法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{10} \sim 2 \times 10^{11}$ [atoms/cm³]となるようにする。

【0089】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5032、5033、5035、5036がゲート電極として機能する。また、5034は島状のソース信号線として機能する。5037は容量配線として機能する。

【0090】レジストマスク5038を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化させる工程を行う。この工程はファーンেসアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で400~700[℃]、代表的には500~600[℃]で行うものであり、本実施例では500[℃]で4時間の熱処理を行う。ただし、第3の形状の導電層5037~5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0091】さらに、3~100[%]の水素を含む雰囲気中で、300~450[℃]で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段とし

て、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0092】次いで、第1の層間絶縁膜5045は酸化窒化シリコン膜から100～200[nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5046を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0093】そして、駆動回路部において島状半導体層のソース領域とコンタクトを形成するソース配線5047、5048、ドレイン領域とコンタクトを形成するドレイン配線5049を形成する。また、画素部においては、接続電極5050、画素電極5051、5052を形成する（図11（A））。この接続電極5050により、ソース信号線5034は、画素TFTと電気的な接続が形成される。なお、画素電極5052及び保持容量は隣り合う画素のものである。

【0094】以上のようにして、N型TFT、P型TFTを有する駆動回路部と、画素TFT、保持容量を有する画素部とを同一基板上に形成することができる。本明細書中ではこのような基板をアクティブマトリクス基板と呼ぶ。

【0095】本実施例は、ブラックマトリクスを用いることなく、画素電極間の隙間を遮光することができるように、画素電極の端部を信号線や走査線と重なるように配置されている。

【0096】また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を5枚（島状半導体層パターン、第1配線パターン（走査線、信号線、容量配線）、Pチャネル領域のマスクパターン、コンタクトホールパターン、第2配線パターン（画素電極、接続電極含む））とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0097】続いて、図11（A）の状態のアクティブマトリクス基板を得た後、アクティブマトリクス基板上に配向膜5053を形成しラビング処理を行う。

【0098】一方、対向基板5054を用意する。対向基板5054にはカラーフィルター層5055～5057、オーバーコート層5058を形成する。カラーフィルター層はTFTの上方で赤色のカラーフィルター層5055と青色のカラーフィルター層5056とを重ねて形成し遮光膜を兼ねる構成とする。少なくともTFTと、接続電極と画素電極との間を遮光する必要があるため、それらの位置を遮光するように赤色のカラーフィルターと青色のカラーフィルターを重ねて配置することが好ましい。

【0099】また、接続電極5050に合わせて赤色のカラーフィルター層5055、青色のカラーフィルター層5056、緑色のカラーフィルター層5057とを重ね合わせてスペーサを形成する。各色のカラーフィルタ

ーはアクリル樹脂に顔料を混合したもので1～3[μm]の厚さで形成する。これは感光性材料を用い、マスクを用いて所定のパターンに形成することができる。スペーサの高さはオーバーコート層5058の厚さ1～4[μm]を考慮することにより2～7[μm]、好ましくは4～6[μm]とすることができ、この高さによりアクティブマトリクス基板と対向基板とを貼り合わせた時のギャップを形成する。オーバーコート層5058は光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂などを用いる。

【0100】スペーサの配置は任意に決定すれば良いが、例えば図11（B）で示すように接続電極上に位置が合うように対向基板5054上に配置すると良い。また、駆動回路部のTFT上にその位置を合わせてスペーサを対向基板5054上に配置してもよい。このスペーサは駆動回路部の全面に渡って配置しても良いし、ソース配線およびドレイン配線を覆うようにして配置しても良い。

【0101】オーバーコート層5058を形成した後、対向電極5059をバタニング形成し、配向膜5060を形成した後ラビング処理を行う。

【0102】そして、画素部と駆動回路部が形成されたアクティブマトリクス基板と対向基板とをシール剤5062で貼り合わせる。シール剤5062にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料5061を注入し、封止剤（図示せず）によって完全に封止する。液晶材料5061には公知の液晶材料を用いれば良い。このようにして図11（B）に示すアクティブマトリクス型液晶表示装置が完成する。

【0103】なお、上記の行程により作成されるTFTはトップゲート構造であるが、ボトムゲート構造のTFTやその他の構造のTFTに対しても本実施例は容易に適用され得る。

【0104】また、本実施例にて例示した表示装置は、液晶表示装置であるが、本発明のレベルシフタは、液晶表示装置のみならず、エレクトロルミネッセンス（EL）を用いたEL表示装置の駆動回路においても有効に利用出来る。

【0105】[実施例5]図16に、本発明のレベルシフタを用いての表示装置の構成例を示す。絶縁基板1600上に、ソース信号線駆動回路1601、ゲート信号線駆動回路1602、画素部1607が一体形成されている。ソース信号線駆動回路1601は、レベルシフタ1604、シフトレジスタ1605、アナログスイッチ1606等を有している。

【0106】表示装置の駆動に必要な信号類は、外部のLSIより供給される。最近では、LSI等の低消費電力化により、3.3[V]等で動作するため、入力された

信号は、本発明のレベルシフタ 1604 にて振幅変換がされ、シフトレジスタ等に送られる。

【0107】なお、図 16 では図示していないが、画素部に近いバッファ部等の前に、さらに電圧振幅を変換するためにレベルシフタを配置して、さらに 1 段階電圧振幅の変換手段を設けることで、表示装置内部での低消費電力化をはかることも出来る。

【0108】また、本実施例にて示した図 16 の表示装置は、アナログ映像信号を入力する場合の例であるが、本発明のレベルシフタは、デジタル映像信号を入力する表示装置の駆動回路にも適用することが出来る。

【0109】[実施例 6] 本実施例では、差動回路を異なる構成で用いたレベルシフタにより、バッファを必要とせず GND~VDD2 の振幅を得るための構成について説明する。

【0110】図 17 は、本実施例における、本発明のレベルシフタの回路構成例である。TFT1703 および 1704 を有する差動回路 1700 を有し、TFT1705 と TFT1708、また TFT1706 と TFT1707 とがそれぞれ第 1 のカレントミラー回路および第 2 のカレントミラー回路とを構成している。

【0111】以下に、図 17、図 18 を用いて、各部の動作について説明する。図 18 に示したシミュレーションに際しての各電源電圧は、実施例 1 と同様、GND=0[V]、VDD1=3[V]、VDD2=10[V] とした。また、図 17 中の電流源は、各電源を TFT を介して接続し、それぞれの TFT のゲート電極の電位の制御により、一定電流を確保している。

【0112】まず、入力端子より、GND~VDD1 の振幅を有する 2 つの信号 (In1、In2) が入力される (図 18 (A))。TFT1703、1704 のゲート電極には、先の入力信号と電源 VDD2 との間の電位が入力される。この電位は電流源に配置された TFT および TFT1701、1702 の各抵抗値によって分割された電位である。このときの、TFT1703 および 1704 のゲート電極における電位をそれぞれ V_{1703} 、 V_{1704} と表記する (図 18 (B))

【0113】電流源 1740 を流れる電流を I_{1740} 、TFT1703 を流れる電流を I_{1703} 、TFT1704 を流れる電流を I_{1704} とすると、 $I_{1740} = I_{1703} + I_{1704}$ であり、 $V_{1703} > V_{1704}$ のとき、 $I_{1703} > I_{1704}$ である。よって、TFT1705、TFT1706 を流れる電流の値はそのまま I_{1703} 、 I_{1704} となる。さらに、TFT1705、TFT1706 を流れる電流が決定されたことにより、TFT1705、TFT1706 のゲート電位も決定する。これらをそれぞれ V_{1705} 、 V_{1706} と表記する。TFT1705 と TFT1708 とが、また TFT1706 と TFT1707 とがそれぞれカレントミラーを構成しているので、TFT1707、TFT1708 のゲート電位もここで決定される。つまり、V

$V_{1703} = V_{1705}$ 、 $V_{1706} = V_{1707}$ であり、 V_{1703} と V_{1704} との大小関係が前述の通りであるとき、 $V_{1703} > V_{1706}$ 、したがって、 $V_{1707} < V_{1708}$ となる (図 18 (C))

【0114】シミュレーション結果においては、 V_{1707} 、 V_{1708} の電位は、図 18 (C) に示すように、およそ 6.5~9[V] となる。 V_{1707} が Hi 電位のとき、TFT1707 は非導通状態となる。よって、TFT1709、TFT1710 のゲート電位は下がり、導通しない。このとき、 V_{1708} は Lo 電位となり、導通する。これにより、出力端子には、VDD2 が現れる。次に、 V_{1707} が Lo 電位のとき、TFT1707 が導通して、TFT1709、TFT1710 のゲート電位が上がり、導通する。このとき、 V_{1708} は Hi 電位であるから、TFT1708 は導通しない。これにより、出力端子には、GND が現れる (図 18 (D))。

【0115】また、本実施例にて示した図 17 の例では、TFT1701、1702 を N 型 TFT としているが、これらを P 型 TFT とし、TFT1701、1702 のゲート電極とドレイン領域とを入力端子 (In1 または In2) に接続し、ソース領域を電流源 1720、1730 および差動回路の入力部に接続しても良い。

【0116】[実施例 7] 実施形態では、図 1 に示したように、入力信号は、TFT105、106 のソース領域に入力されていた。本実施例においては、信号の入力方法が異なる一例について述べる。

【0117】図 19 に、本実施例における回路構成例を示す。図 1 との相違点は、差動回路と入力信号 (In1、In2) との間に配置された TFT の接続のみである。図 1 で、それぞれ In1、In2 が接続されていた N 型 TFT105、106 は、それぞれ図 19 における P 型 TFT1901、1902 に置換され、入力信号はそれぞれのゲート電極に入力される。

【0118】以下に、図 19 に示したレベルシフタの動作について説明する。

【0119】差動回路内の TFT1903 のゲート電極に印加される電圧、つまり γ 点における電位について考える。なお、 γ 点には、VDD2-GND 間のいずれかの電位が現れることは前述したとおりである。

【0120】まず、入力信号 (In1) に Hi が入力される時、P 型 TFT1901 のゲート電極における電位は 3[V] である。このときの P 型 TFT1901 のゲート・ソース間電圧を、 V_{cs1} とする。続いて、入力信号 (In1) に Lo が入力される時、P 型 TFT1901 のゲート電極における電位は 0[V] となり、このときの P 型 TFT1901 のゲート・ソース間電圧を、 V_{cs2} とする。

【0121】このとき、 $|V_{cs1}| < |V_{cs2}|$ である。各時点における TFT1901 の ON 抵抗を、 R_{on1} 、 R_{on2} とすると、 $R_{on1} > R_{on2}$ となる。TFT1901 の ON 抵抗

が低いとき、VDD2-GND間の抵抗分割によって γ 点に現れる電位は、よりGNDに引っ張られて低くなる。逆にTFT1901のON抵抗が高いと、 γ 点に現れる電位は、よりVDD2に引っ張られて高くなる。したがって、P型TFT1903のゲート電極に印加される電圧は、入力信号(In1)と同じ位相をもってある振幅で振動する。差動回路内のTFT1904のゲート電極に印加される電圧、つまり δ 点についても、同様の理由により、入力信号(In2)と同じ位相をもってある振幅で振動する。したがって、 γ 点と δ 点の間の電位差を、差動増幅回路によって増幅し、出力する。その後、実施形態、実施例1等の場合と同様にして、0~VDD2の振幅を有する信号を出力する。

【0122】[実施例8]本発明のレベルシフタには、定電流源を用いており、信号の振幅変換を行わない期間においても電流が流れ続けている。そこで本実施例では、そのような期間(具体的には低電圧振幅信号の入力が無い帰線期間等)において、低消費電力化を図る方法の一例について述べる。

【0123】図1に示したように、レベルシフタへの電流供給源は、107、108、109の3箇所である。図20においては、その経路はTFT2001、2002、2003によって制御されており、それらのゲート電極への電位供給は、電源部2050による。よって、レベルシフタへの電流供給を遮断するには、TFT2001、2002、2003を非導通状態とするのが最も簡単な方法である。そこで、図20に示すように、リセット用TFT2004、2005を配置する。本実施例では、リセット用TFT2004にはP型TFTを、リセット用TFT2005にはN型TFTを用いた。TFT2004のソース領域は、電源VDD2に接続されており、ドレイン領域はTFT2001、2002のゲート電極に接続されている。TFT2005のソース領域は、電源GNDに接続されており、ドレイン領域はTFT2003のゲート電極に接続されている。

【0124】帰線期間等の、レベルシフタが動作しない期間(以後、このような期間をリセット期間と表記する)に、TFT2004、2005のゲート電極へリセット信号(例えばその電圧振幅は0~VDD2)を入力する。図20に示したような構成でリセット用の回路を配した場合、リセット期間にはHi信号を入力する。これにより、TFT2004、2005が導通し、TFT2001、2002のゲート電極の電位はVDD2に、TFT2003のゲート電極の電位はGNDになり、ともに非導通状態となることにより、各部の電流が遮断される。

【0125】リセット用TFT2004、2005のチャネル幅は、TFT2001、2002、2003のゲート・ソース間電圧が、十分にそれらのしきい値の絶対値を下回る(具体的には、TFT2004のドレイン領

域における電位が十分にVDD2に近づき、TFT2005のドレイン領域における電位が、十分にGNDに近づく)ような電流能力を有するサイズに決定すればよい。

【0126】[実施例9]本実施例においては、レベルシフタへの電流供給の遮断を、実施例8とは異なる方法により行う例について述べる。

【0127】図22に示す回路において、電源部2250におけるTFT2204のゲート電極には、他の実施例にて示した回路ではある一定の電源電位が入力され、常にONの状態となっていた。これに対して本実施例においては、電源制御用パルス(Ctrl. Pulse)が入力される。

【0128】図22において、TFT2204はN型であるから、電源制御用パルスがHi電位のときにON状態となり、レベルシフタ側のTFT2201~2203を導通させる。つまり、レベル変換動作の必要な期間にのみ電源制御用パルスを入力し、その期間にのみレベルシフタへの電流供給が行われる。

【0129】[実施例10]本発明のレベルシフタを表示装置に適用した際の回路を、実際にTFTを用いて配置した例を図21に示す。図21内に付したTFTの番号301~309は、それぞれ図3の回路図内に付したTFTの番号301~309に対応している。

【0130】図21の例では、電源部が図示されていないが、レベルシフタは、左右方向に複数並列に配置されており、電流源に接続されたTFT301、304、309のゲート電極へ供給する電位は、並列配置されたレベルシフタの外側に有する電源部から、信号線330、340を介して各レベルシフタに供給されている。この電源部は、複数のレベルシフタで共用しても良い。

【0131】なお、図中、配線アルミニウム・ゲートメタル・半導体層間には、それぞれ絶縁膜を有しており、互いに重なる部分においての短絡はない。コンタクトホールを配した部分で、互いを接続している。

【0132】本発明のレベルシフタに用いている差動回路およびカレントミラー回路は、その動作の特性上、各々を構成するTFTの特性のばらつきが少ないことが特に重要視される回路である。故に、各回路を構成するTFTは、近接に配置することが望ましい。また、TFT基板の作成工程中、レーザー照射等が含まれる場合にも、図21のように近接配置することにより、照射ムラ等によるTFT特性のばらつきを低減することが出来る。加えて、前述のレーザー照射等は、線状照射が一般的であるため、各TFTを平行に配置することで、さらに前述の照射ムラ等によるTFT特性のばらつきを低減することが出来るため、望ましい。

【0133】[実施例11]本発明を適用して作成した駆動回路を用いたアクティブマトリクス型表示装置には様々な用途がある。本実施例では、本発明を適用して作成

10

20

30

40

50

した駆動回路を用いた表示装置を組み込んだ半導体装置について説明する。

【0134】このような表示装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ、プロジェクタ装置等が挙げられる。それらの一例を図13、図14および図15に示す。

【0135】図13（A）は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606から構成されている。本発明は表示部2604に適用することができる。

【0136】図13（B）はビデオカメラであり、本体2611、表示部2612、音声入力部2613、操作スイッチ2614、バッテリー2615、受像部2616から成っている。本発明は表示部2612に適用することができる。

【0137】図13（C）はモバイルコンピュータあるいは携帯型情報端末であり、本体2621、カメラ部2622、受像部2623、操作スイッチ2624、表示部2625で構成されている。本発明は表示部2625に適用することができる。

【0138】図13（D）はヘッドマウントディスプレイであり、本体2631、表示部2632、アーム部2633で構成される。本発明は表示部2632に適用することができる。

【0139】図13（E）はテレビであり、本体2641、スピーカー2642、表示部2643、受信装置2644、増幅装置2645等で構成される。本発明は表示部2643に適用することができる。

【0140】図13（F）は携帯書籍であり、本体2651、表示部2652、記憶媒体2653、操作スイッチ2654、アンテナ2655から構成されており、ミニディスク（MD）やDVD（Digital Versatile Disc）に記憶されたデータや、アンテナで受信したデータを表示するものである。本発明は表示部2652に適用することができる。

【0141】図14（A）はパーソナルコンピュータであり、本体2701、画像入力部2702、表示部2703、キーボード2704で構成される。本発明は表示部2703に適用することができる。

【0142】図14（B）はプログラムを記録した記録媒体を用いるプレーヤーであり、本体2711、表示部2712、スピーカー部2713、記録媒体2714、操作スイッチ2715で構成される。なお、この装置は記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2612に適用することができる。

【0143】図14（C）はデジタルカメラであり、本

体2721、表示部2722、接眼部2723、操作スイッチ2724、受像部（図示しない）で構成される。本発明は表示部2722に適用することができる。

【0144】図14（D）は片眼のヘッドマウントディスプレイであり、表示部2731、バンド部2732で構成される。本発明は表示部2731に適用することができる。

【0145】図15（A）はフロント型プロジェクタであり、投射装置本体2801、表示装置2802、光源2803、光学系2804、スクリーン2805で構成されている。なお、投射装置2801には単版式のものをを用いても良いし、R、G、Bの光にそれぞれ対応した三板式のものをを用いても良い。本発明は表示装置2802に適用することができる。

【0146】図15（B）はリア型プロジェクタであり、本体2811、投射装置本体2812、表示装置2813、光源2814、光学系2815、リフレクター2816、スクリーン2817で構成されている。なお、投射装置2813には単版式のものをを用いても良いし、R、G、Bの光にそれぞれ対応した三板式のものをを用いても良い。本発明は表示装置2813に適用することができる。

【0147】なお、図15（C）は、図15（A）及び図15（B）中における投射装置本体2801、2812の構造の一例を示した図である。投射装置2801、2812は、光源光学系2821、ミラー2822、2824～2826、ダイクロイックミラー2823、プリズム2827、表示装置2828、位相差板2829、投射光学系2830で構成される。投射光学系2830は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単版式であっても良い。また、図15（C）中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けても良い。

【0148】また、図15（D）は、図15（C）中における光源光学系2821の構造の一例を示した図である。本実施例では、図15（C）中における光源光学系2821は、図15（D）中におけるリフレクター2831、光源2832、レンズアレイ2833、偏光変換素子2834、集光レンズ2835で構成される。なお、図15（D）に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けても良い。

【発明の効果】差動増幅回路を有する本発明のレベルシフタによって、入力信号の電圧振幅が小さい場合にも、十分な変換能力を提供することが出来る。これにより、駆動回路の低駆動電圧化が進み、駆動回路と画素部との

駆動電圧の差が大きくなるような場合にも、正常に信号の振幅の変換を可能とする。

【0149】また、本発明のレベルシフタの一態様においては、信号入力について、ゲート電極への直接の入力を避けた構造としており、入力信号の電圧振幅が小さい場合に、TFTのしきい値の影響を受けることを低減しているため、今後の駆動回路の低駆動電圧化に大いに貢献する。

【図面の簡単な説明】

【図1】 本発明の2入力1出力型レベルシフタの回路図。

【図2】 図1に示したレベルシフタの駆動時の各部の電位の模式図。

【図3】 実施例1にて示した本発明の2入力1出力型レベルシフタの回路図。

【図4】 図3に示したレベルシフタの駆動時の各部の電位のシミュレーション結果を示す図。

【図5】 実施例2にて示した本発明の2入力1出力型レベルシフタの回路図。

【図6】 図5に示したレベルシフタの駆動時の各部の電位のシミュレーション結果を示す図。

【図7】 実施例3にて示した本発明の1入力1出力型レベルシフタの回路図。

【図8】 図5に示したレベルシフタの駆動時の各部の電位のシミュレーション結果を示す図。

【図9】 実施例4にて示したアクティブマトリクス基板の作成工程例を示す図。

【図10】 実施例4にて示したアクティブマトリク

ス基板の作成工程例を示す図。

【図11】 実施例4にて示したアクティブマトリクス基板の作成工程例を示す図。

【図12】 従来の2入力2出力型レベルシフタの回路図。

【図13】 実施例11にて本発明を適用した電子機器の例を示す図。

【図14】 実施例11にて本発明を適用した電子機器の例を示す図。

【図15】 実施例11にて本発明を適用した電子機器の例を示す図。

【図16】 実施例5にて示した、本発明のレベルシフタを用いて同一基板上に形成した表示装置全体の回路の概略図。

【図17】 実施例6にて示した本発明の2入力1出力型レベルシフタの回路図。

【図18】 図17に示したレベルシフタの駆動時の各部の電位のシミュレーション結果を示す図。

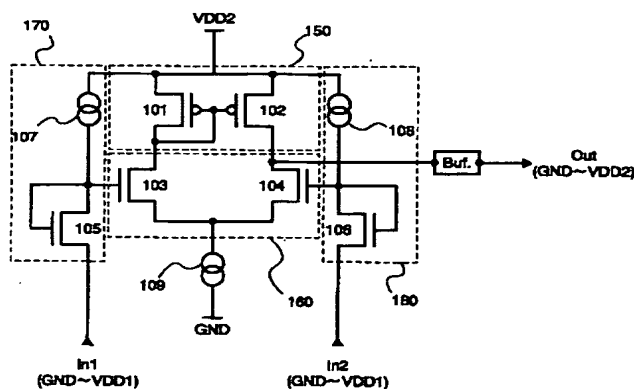
【図19】 実施例7にて示した本発明の2入力1出力型レベルシフタの回路図。

【図20】 実施例8にて示した、リセット信号入力を有する本発明のレベルシフタの回路図。

【図21】 実施例10にて示した、各TFTの近接配置を考えた、実設計における本発明のレベルシフタのTFT配置例を示す図。

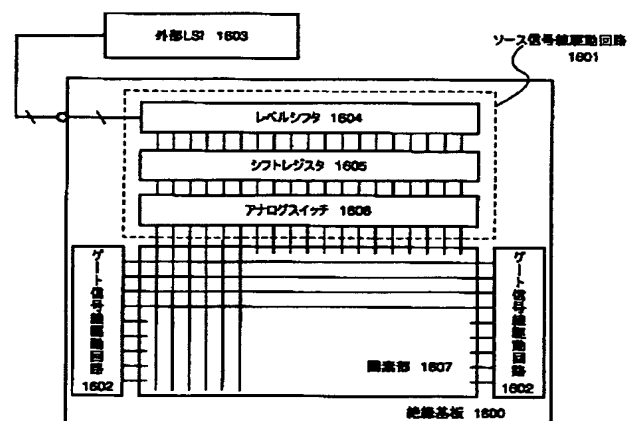
【図22】 実施例9にて示した、電源制御用信号入力を有する本発明のレベルシフタの回路図。

【図1】

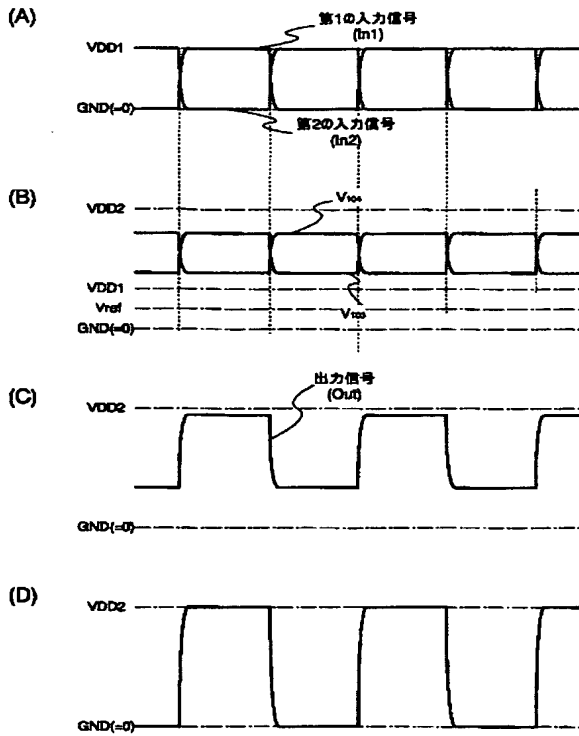


150 : カレントミラー回路
160 : 駆動回路
170 : 第1のソースフォロア回路
180 : 第2のソースフォロア回路

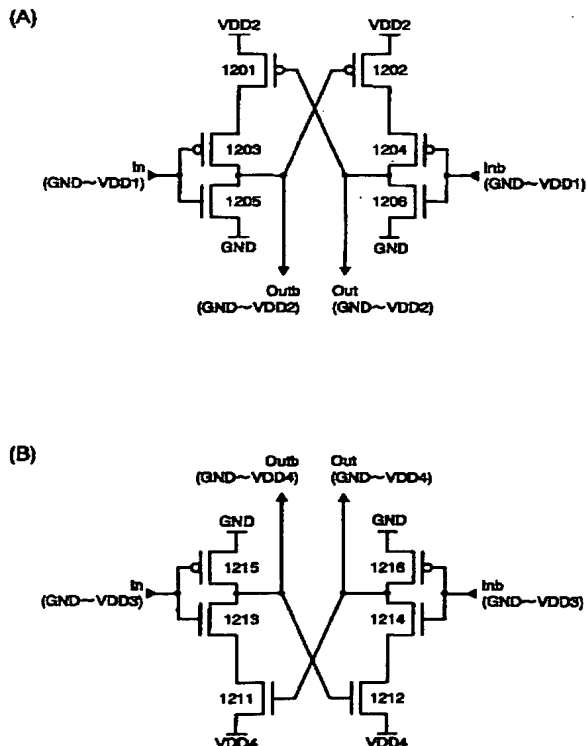
【図16】



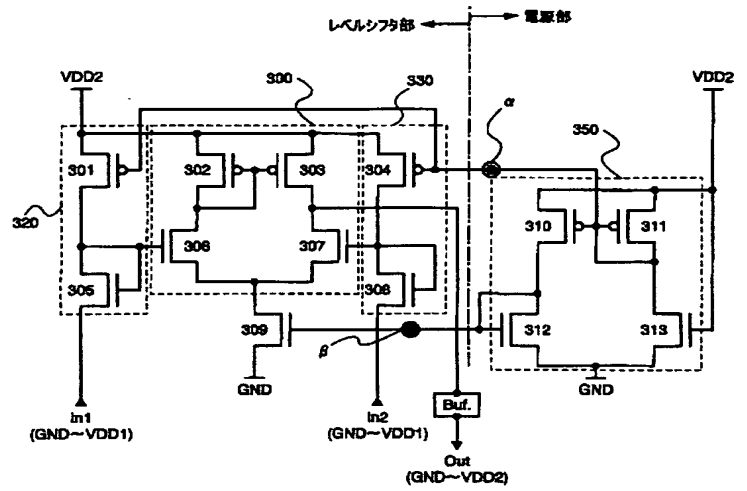
【図 2】



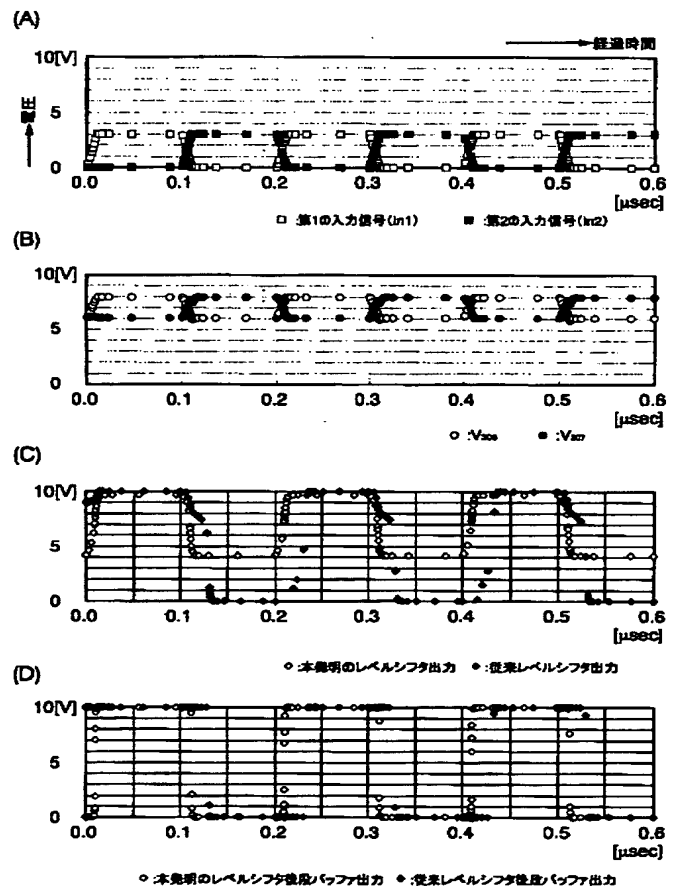
【図 12】



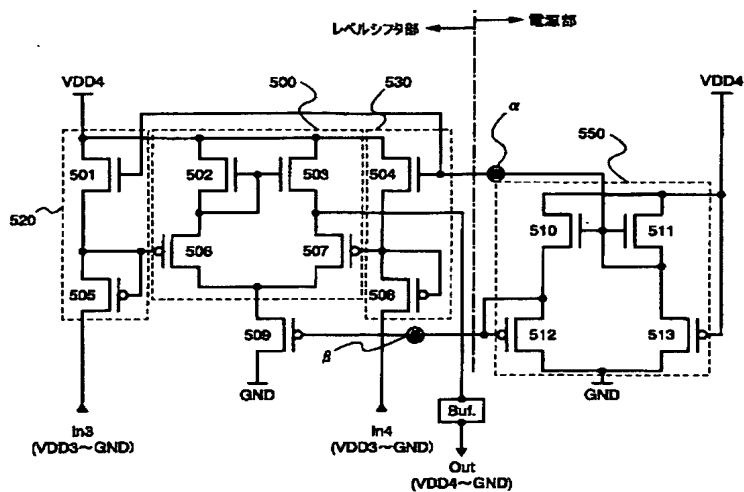
【図 3】



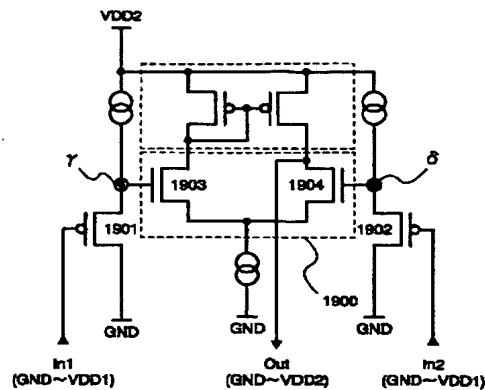
【図 4】



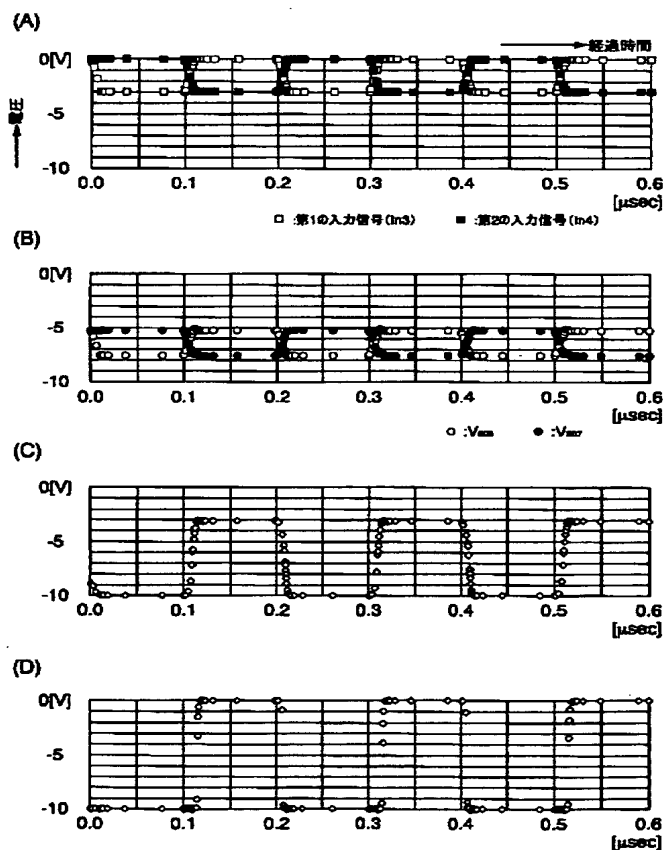
【図 5】



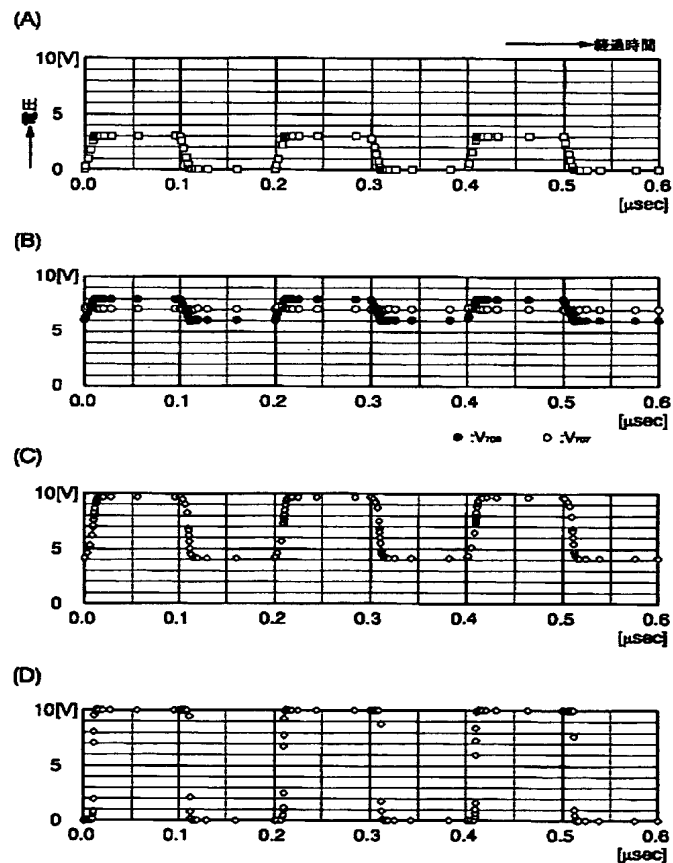
【図 19】



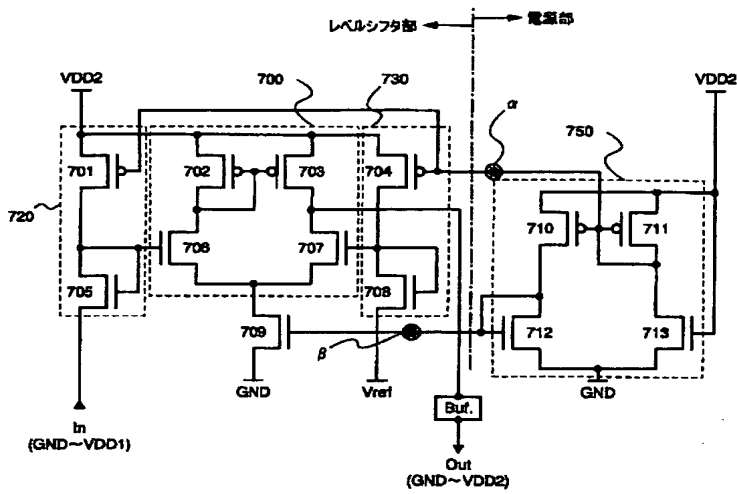
【図 6】



【図 8】

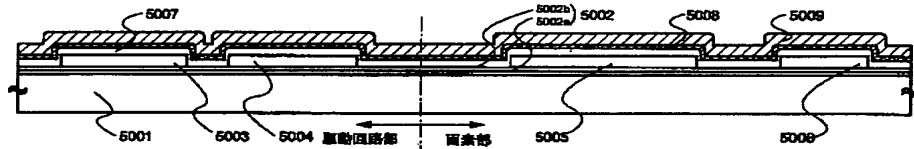


【図7】

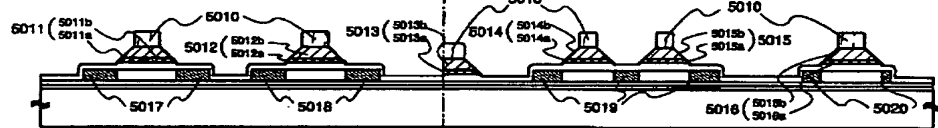


【図9】

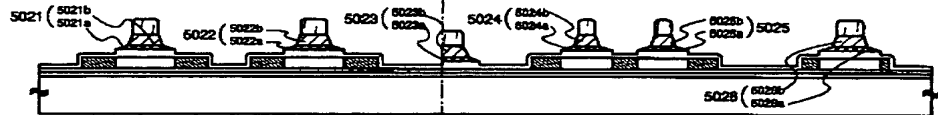
(A) 島状半導体層、ゲート絶縁膜、ゲート電極用第1、第2の導電膜の形成



(B) 第1のエッチング処理、第1のドーピング処理



(C) 第2のエッチング処理



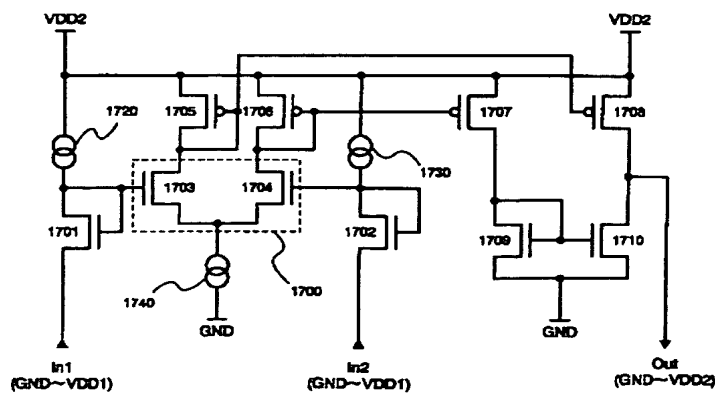
5001: 基板
5002: 下地膜
5003~5009: 半導体層
5007: ゲート絶縁膜

5008: 第1の導電膜
5009: 第2の導電膜
5010: クラウドマスク
5011~5019: 第1の形状の導電膜

5011a~5016a: 第1の導電膜
5011b~5016b: 第2の導電膜
5017~5020: 第1の不純物領域
5021~5026: 第2の形状の導電膜

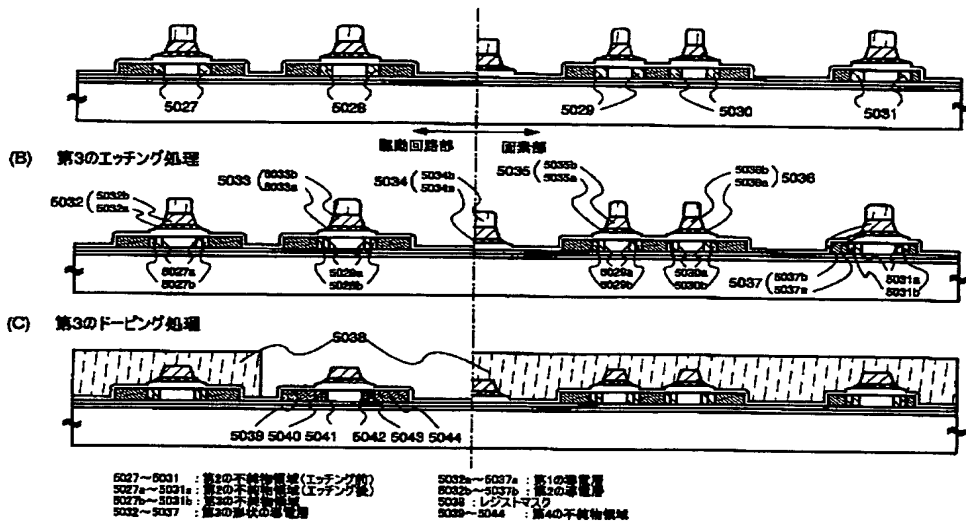
5021a~5026a: 第1の導電膜
5021b~5026b: 第2の導電膜

【図17】



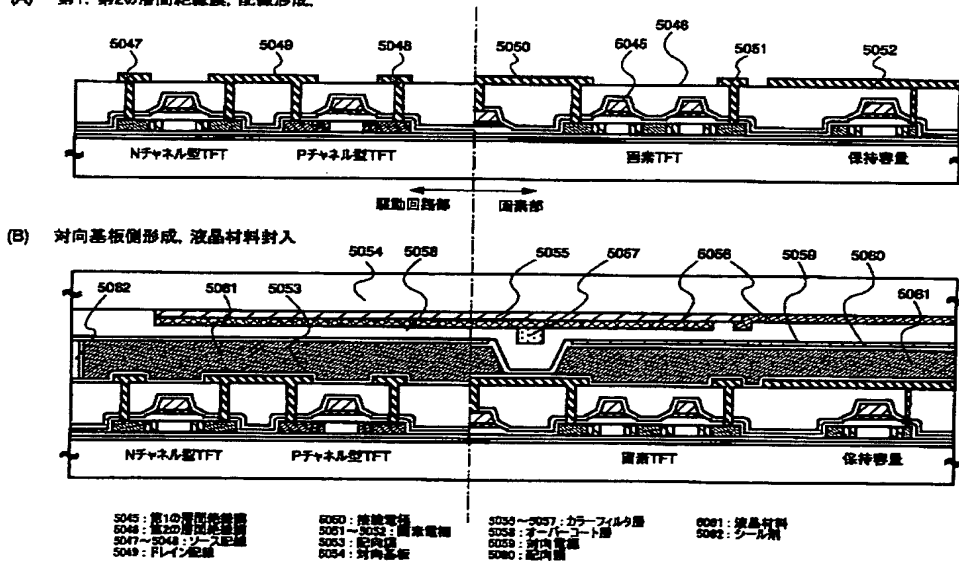
【図 10】

(A) 第2のドーピング処理

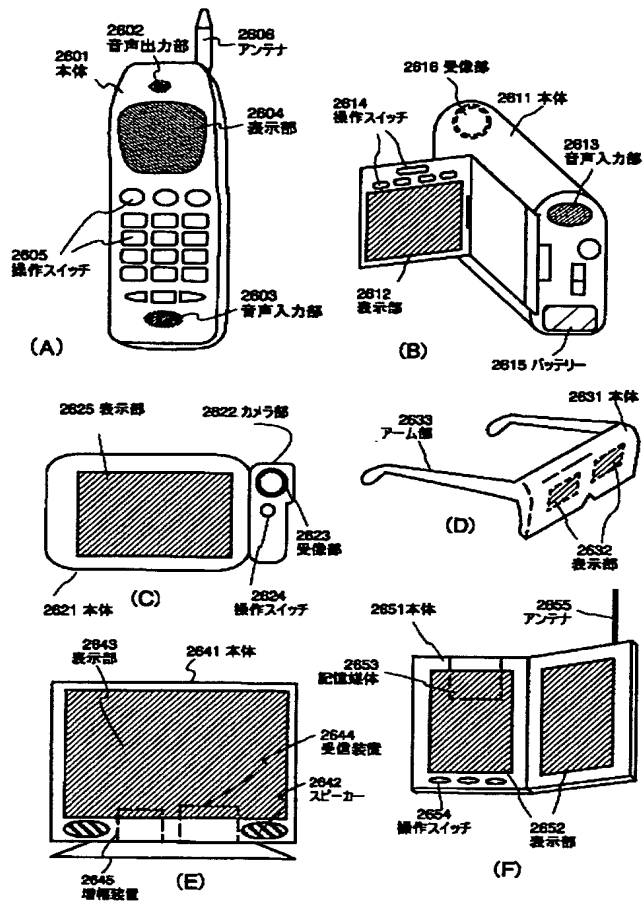


【图 1 1】

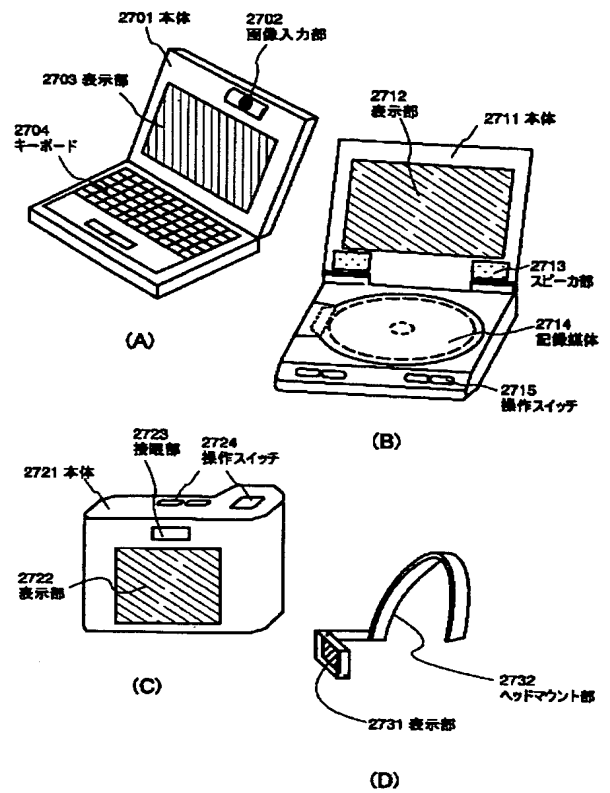
(A) 第1、第2の層間絶縁膜、配線形成、



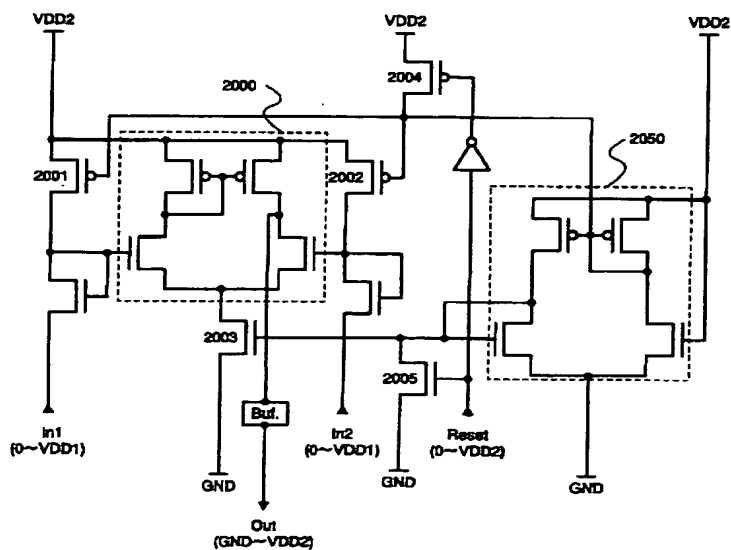
【図 13】



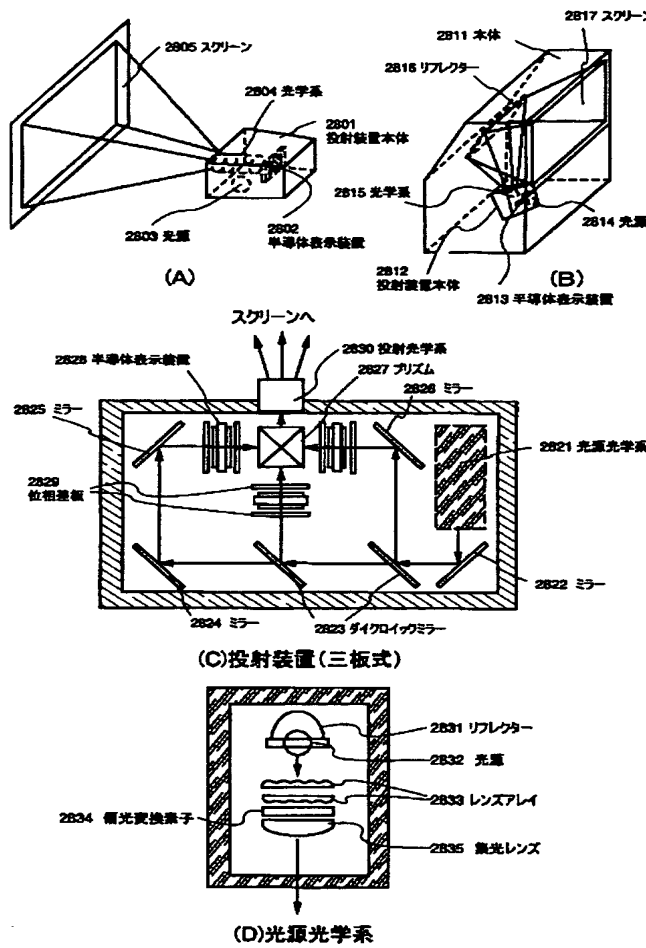
【図 14】



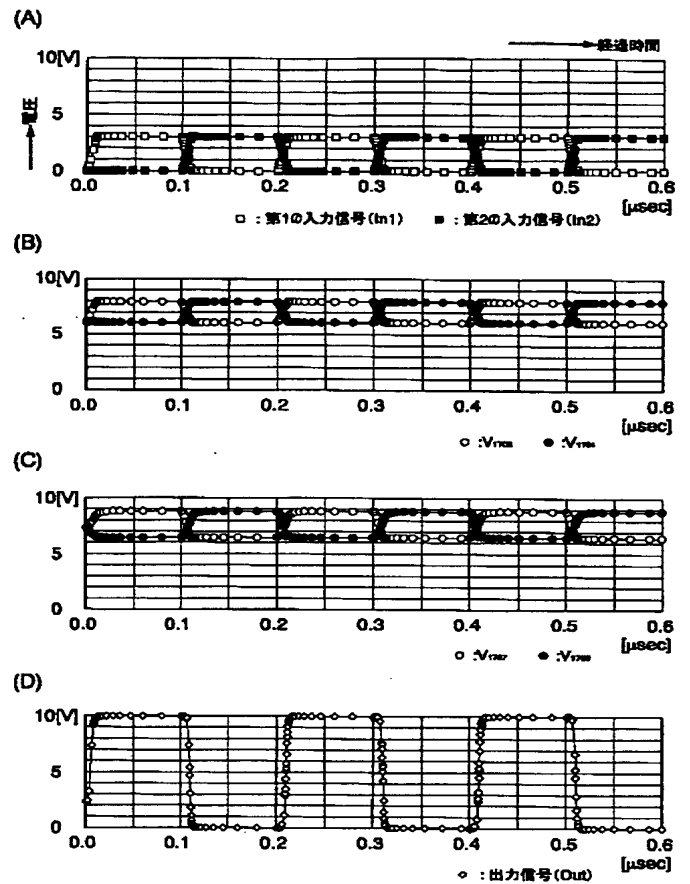
【図 20】



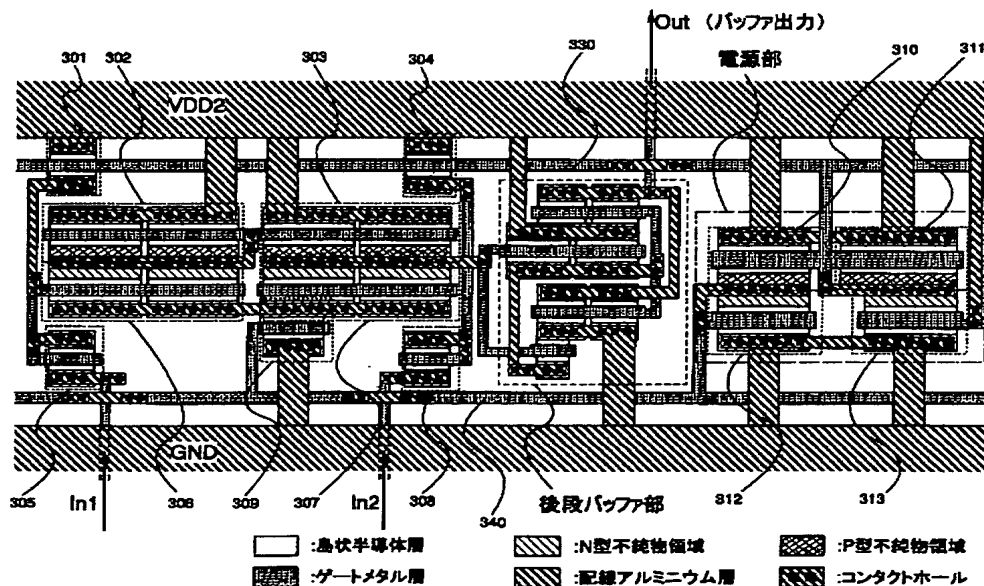
【図 15】



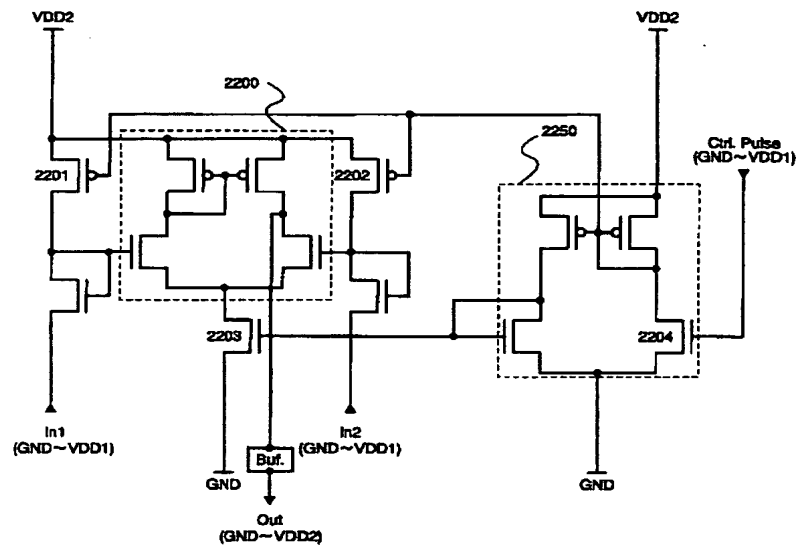
【図 18】



【図 21】



【図 22】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	キーワード (参考)
H 0 1 L	21/28	H 0 1 L 27/08	3 3 1 E 5 J 0 5 6
	21/3065	H 0 3 K 19/00	1 0 1 D
	21/8238	H 0 1 L 29/78	6 1 4
	27/08		6 1 2 B
	27/092	27/08	3 2 1 L
	29/786	21/302	J

(72) 発明者 熱海 知昭
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内

F ターム(参考) 4M104 AA01 AA09 BB04 BB17 CC05
DD18 DD26 DD37 DD43 DD45
DD66 FF08 FF13 GG09 GG10
HH16
5C080 AA06 AA10 DD30 JJ02 JJ03
JJ04 JJ06 KK07 KK43
5F004 AA05 BA04 BA20 BB13 CA06
DA01 DA04 DA26 DB00 DB08
DB10 EA28 FA01 FA03
5F048 AA00 AB10 AC04 BA16 BB01
BB04 BB05 BB09 BB11 BC06
5F110 AA09 BB02 BB04 CC02 CC03
CC07 DD02 DD13 DD14 DD15
DD17 EE01 EE02 EE03 EE04
EE06 EE09 EE14 EE23 EE44
EE45 FF02 FF04 FF09 FF28
FF30 FF36 GG01 GG02 GG13
GG25 HJ01 HJ04 HJ12 HJ13
HJ23 HM15 NN03 NN04 NN22
NN27 NN44 NN72 NN73 PP01
PP03 PP05 PP06 QQ04 QQ11
QQ24 QQ25
5J056 AA32 BB16 CC00 CC01 CC02
CC21 CC25 DD12 DD28 EE03
EE11 FF09 GG06 KK01 KK02